Hi3093

硬件设计指南

文档版本 00B01

发布日期 2023-10-26

版权所有 © 海思技术有限公司 2023。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明

、HISILICON、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

海思技术有限公司

地址: 上海市青浦区虹桥港路 2 号 101 室 邮编：201721

网址: http://www.hisilicon.com/cn/

客户服务邮箱: support@hisilicon.com

前 言

概述

本文档主要介绍 Hi3093 芯片硬件设计方面的内容，主要包括硬件管脚描述、时钟、复位、电源、接口硬件设计、时序参数、电气特性、封装等。

读者对象

本文档（本指南）主要适用于以下工程师：

- 单板硬件开发工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
⚠ 危险	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
⚠ 警告	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
⚠ 注意	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
须知	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。

版权所有 © 海思技术有限公司

符号	说明
说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。

类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1K	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。

版权所有 © 海思技术有限公司

修改记录

修改记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2023-10-26	00B01	第 1 次临时版本发布。

版权所有 © 海思技术有限公司

目 录

前 言 ii

目 录 v

插图目录 xiv

表格目录 xix

手册使用约束 xxiv

1 芯片简介 1

1.1 概述 1

1.2 功能特性简述 2

1.2.1 处理器核 2

1.2.2 DDR 接口 3

1.2.3 外部接口 3

1.2.4 加速器功能 3

1.2.5 显示功能 3

1.2.6 安全功能 4

1.2.7 其他接口 4

1.3 硬件特性简述 5

1.3.1 参考时钟 5

1.3.2 封装尺寸 5

2 管脚描述 6

2.1 管脚分布图 6

2.2 管脚类型和电平类型说明 10

2.3 管脚数量统计 11

版权所有 © 海思技术有限公司

2.4 管脚详细描述 12
2.4.1 系统时钟接口 12
2.4.2 复位接口 13
2.4.3 SerDes 接口 14
2.4.4 DDR 接口 17
2.4.5 USB 接口 22
2.4.6 VGA 接口 24
2.4.7 ADC 接口 26
2.4.8 低速数字接口 28
2.4.9 电源和地 38
2.4.9.1 模拟电源和地 38
2.4.9.2 数字电源和地 39
2.4.10 厂商测试接口 42
2.5 复用管脚列表 47
2.6 上电配置管脚描述 81
2.7 不使用管脚的处理方式说明 83
3 时钟 84
3.1 概述 84
3.2 时钟结构 86
3.3 时钟应用和配置说明 87
3.3.1 时钟配置管脚 87
3.3.2 时钟 DFX 88
3.4 时钟应用约束 88
3.5 时钟电气参数 88
3.5.1 系统参考时钟电气参数 88
3.5.1.1 系统参考时钟输入电气参数（单端输入模板） 88
3.5.1.2 SerDes 时钟输入电气参数 88
3.6 时钟单板电路设计建议 88
3.6.1 单板原理图 88
3.6.2 单板 PCB 90
3.6.3 单板调测 90

版权所有 © 海思技术有限公司

3.7 板级仿真 90
3.7.1 环境建立 90
3.7.1.1 SerDes 接口系统仿真模型示例 90
3.7.2 单板调测 90
3.8 注意事项 91
4 复位 92
4.1 概述 92
4.2 电路说明 93
4.2.1 软复位 94
4.2.2 POR 上电复位 94
4.2.3 整芯片热复位 96
4.2.4 BMC 域单独复位 97
4.2.4.1 管脚触发 BMC 域复位 98
4.2.4.2 软件触发 BMC 域复位 99
4.2.4.3 watchdog 触发 BMC 域复位 99
4.2.5 BMC 非安全域单独复位 100
4.2.5.1 软件触发 BMC 非安全域复位 100
4.2.5.2 watchdog 触发 BMC 非安全域复位 101
4.2.6 HOST 域单独复位 102
4.2.6.1 管脚触发 HOST 域单独复位 102
4.2.6.2 软件触发 HOST 域单独复位 103
4.2.6.3 PCIE0 相关模块单独复位 103
4.2.6.4 PCIE1 单独复位 104
4.3 复位约束 104
4.4 单板电路设计建议 104
4.4.1 单板原理图 104
4.4.2 单板 PCB 105
4.4.3 单板调测 105
4.5 注意事项 105
5 电源输入 106
5.1 极限电源电压 106

版权所有 © 海思技术有限公司

5.2 推荐电源电压 107
5.3 芯片电源结构 110
5.4 上下电时序 110
5.5 电源电路设计建议 112
5.5.1 电源 112
5.5.2 滤波电路 113
5.5.3 单板电源合并方案 113
5.5.4 单板模拟地处理方案 113
5.6 注意事项 113
6 DDR 接口 114
6.1 概述 114
6.2 电路说明 116
6.3 接口配置 116
6.4 电路设计建议 116
6.4.1 DDR 颗粒连接示意图 116
6.4.2 电源 118
6.4.3 VREF 119
6.4.4 时钟 119
6.4.5 复位 119
6.4.6 接口信号处理 119
6.5 板级仿真 119
6.6 信号延时补偿信息 119
7 LocalBus 接口 120
7.1 概述 120
7.2 硬件接口信号描述 121
7.3 硬件电路设计指导 122
7.3.1 典型应用框图 122
7.3.2 灵活的时序配置 123
7.3.2.1 LocalBus 时序参数配置 123
7.3.2.2 LocalBus 典型时序配置 125
7.4 接口时序 130

版权所有 © 海思技术有限公司

8 SFC 接口 131
8.1 概述 131
8.2 硬件接口信号描述 132
8.3 硬件电路设计指导 133
8.3.1 典型应用框图 133
8.3.2 典型时序配置 134
8.3.2.1 一线模式 134
8.3.2.2 二线模式 135
8.3.2.3 四线模式 137
8.3.3 接口时序 138
9 UART 接口 139
9.1 概述 139
9.2 硬件接口信号描述 142
9.3 硬件电路设计指导 147
9.4 接口时序 147
10 SPI 接口 148
10.1 概述 148
10.2 硬件接口信号描述 149
10.3 硬件电路设计指导 150
10.3.1 典型应用框图 150
10.3.2 典型时序配置 151
10.4 接口时序 155
11 eMMC 接口 156
11.1 概述 156
11.2 硬件接口信号描述 157
11.3 硬件电路设计指导 157
11.4 接口时序 159
12 SDIO 接口 160
12.1 概述 160
12.2 硬件接口信号描述 161

版权所有 © 海思技术有限公司

12.3 硬件电路设计指导 162
12.4 接口时序 162
13 MDIO 接口 163
13.1 概述 163
13.2 硬件接口信号描述 163
13.3 硬件电路设计指导 164
14 I2C 接口 165
14.1 概述 165
14.2 硬件接口信号描述 165
14.3 硬件电路设计指导 168
14.4 接口时序 168
15 RMII 169
15.1 概述 169
15.2 硬件接口信号描述 170
15.3 硬件电路设计指导 171
15.4 接口时序 172
16 CANBUS 173
16.1 概述 173
16.2 硬件接口信号描述 173
16.3 硬件电路设计指导 174
16.4 接口时序 175
17 FAN&PWM 176
17.1 概述 176
17.2 硬件接口信号描述 177
18 JLC/JTAG 180
18.1 概述 180
18.2 硬件接口信号描述 180
18.3 接口时序 183
19 SGPIO 184
19.1 概述 184
19.2 硬件接口信号描述 185

版权所有 © 海思技术有限公司

19.3 接口时序 185
20 SerDes 接口 186
20.1 概述 186
20.2 SerDes 电路说明 188
20.2.1 PCIE 业务接口 188
20.2.2 SGMII 接口 190
20.2.3 USB3 接口 192
20.3 单板电路设计建议 193
20.4 注意事项 193
21 VGA 接口 194
21.1 概述 194
21.2 电路说明 194
21.3 电路设计建议 195
22 ADC 接口 197
22.1 概述 197
22.2 电路说明 197
23 接口时序 198
23.1 时序图例 198
23.2 MDIO 时序参数 198
23.2.1 MDIO 读时序参数 198
23.2.2 MDIO 写时序参数 199
23.3 RMII 时序参数 200
23.4 SPI 时序参数 202
23.5 I2C 时序参数 203
23.6 Local Bus 时序参数 205
23.6.1 输入方向延迟时序参数 205
23.6.2 输出方向延迟时序参数 205
23.7 SDIO 时序参数 205
23.8 eMMC 时序参数 207
23.9 SFC 时序参数 211

版权所有 © 海思技术有限公司

23.10 JTAG 时序参数 213
23.11 LPC 时序参数 214
23.12 ESPI 时序参数 216
24 电气特性 220
24.1 环境参数 220
24.1.1 极限环境参数 220
24.1.2 推荐工作环境参数 220
24.2 数字 IO DC 参数表 221
24.3 3.3V LVCMOS I/O 过冲参数 225
24.4 1.8V LVCMOS I/O 过冲参数 225
24.5 时钟参数 226
24.6 DDR IO 参数表 231
24.7 USB 2.0/3.0 PHY 参数表 231
24.8 PCIE PHY 参数表 232
24.9 SGMII PHY 参数表 232
25 可靠性参数 233
25.1 通用参数 233
26 封装 236
26.1 概述 236
26.2 芯片标识 236
26.3 封装视图 237
26.4 封装参数 241
27 单板 PCB 设计参考 242
27.1 概述 242
27.2 SerDes 接口 242
27.2.1 SerDes 接口布线指导 242
27.3 DDR 接口 244
27.3.1 DDR 接口布线指导 244
27.4 USB 接口 249
27.4.1 USB 接口布线指导 249

版权所有 © 海思技术有限公司

27.5 电路设计建议 250
27.6 ADC 接口 251
27.6.1 ADC 接口布线指导 251
27.7 VGA 接口 252
27.7.1 VGA 接口布线指导 252
27.8 低速数字接口 252
27.8.1 低速数字接口布线指导 252
28 功耗 253
28.1 芯片功耗 253
28.1.1 TR4 前评估功耗 253
28.1.1.1 各种模式下的实测功耗 253
28.1.2 实测功耗 256
28.1.2.1 各种模式下的实测功耗 256
29 芯片功率管理措施 260
29.1 降功耗措施 260
29.1.1 降动态功耗措施 260
29.2 注意事项 261
30 热设计参考 262
30.1 工作温度参数 262
30.2 封装热阻 263
30.3 导热介质材料推荐 264
30.4 芯片对散热器设计的 Guideline 265
31 芯片焊接工艺 267
31.1.1 焊球材料 267
31.1.2 元器件包装及存储 267
31.1.3 组装工艺 267
31.1.3.1 SMT 焊接 268

版权所有 © 海思技术有限公司

插图目录

图 1-1 整芯片逻辑框图 2
图 2-1 管脚分布 TOP view 全景图 6
图 2-2 管脚分布图 TOP view 左上 7
图 2-3 管脚分布图 TOP view 右上 7
图 2-4 管脚分布图 TOP view 左下 8
图 2-5 管脚分布图 TOP view 右下 9
图 3-1 时钟框图 87
图 3-2 SerDes 参考时钟单板不集成耦合电容单板设计参考一 89
图 3-3 SerDes 参考时钟单板不集成耦合电容单板设计参考二 89
图 3-4 SerDes 参考时钟单板集成耦合电容单板设计参考 90
图 4-1 Hi3093 的复位结构图 93
图 4-2 POR 上电复位时序图 95
图 4-3 整芯片热复位时序图 96
图 4-4 BMC 域单独复位时序图 98
图 4-5 watchdog 触发 BMC 复位时序图 99
图 4-6 watchdog 触发 BMC 非安全域复位时序图 101
图 4-7 管脚触发 HOST 域单独复位时序图 102
图 4-8 PCIE0 相关模块单独复位时序图 103
图 4-9 PCIE1 单独复位时序图 104
图 5-1 上电顺序图 111

版权所有 © 海思技术有限公司

图 6-1 DDRC 与 1 片 DDR4 DRAM 的互联示意图 117
图 6-2 DDRC 与 2 片 DDR4 SDRAM 的互联示意图 118
图 7-1 LocalBus 的典型应用框图 122
图 7-2 LocalBus 复用无外部 Ready 单次读操作 125
图 7-3 LocalBus 复用无外部 Ready 单次写操作 125
图 7-4 LocalBus 复用无外部 Ready 连续读操作 126
图 7-5 LocalBus 复用无外部 Ready 连续写操作 126
图 7-6 LocalBus 复用无外部 Ready 读写切换操作 127
图 7-7 LocalBus 复用无外部 Ready 写读切换操作 127
图 7-8 LocalBus 复用有外部 Ready 单次读操作 127
图 7-9 LocalBus 复用有外部 Ready 单次写操作 128
图 7-10 LocalBus 复用有外部 Ready 连续读操作 128
图 7-11 LocalBus 复用有外部 Ready 连续写操作 128
图 7-12 LocalBus 复用有外部 Ready 读写切换操作 129
图 7-13 LocalBus 复用有外部 Ready 写读切换操作 129
图 7-14 LocalBus 复用有外部 Ready 外部 Ready 超时 129
图 8-1 SFC1 接口四线模式电路参考图 133
图 8-2 StandardSPI(写)接口时序图 134
图 8-3 StandardSPI(读)接口时序图 135
图 8-4 DualInput/DualOutputSPI 接口时序图 135
图 8-5 DualI/OSPI 接口时序图 136
图 8-6 DualInput/DualOutputSPI 接口时序图 136
图 8-7 Quad-SPIMode0 接口时序图 137
图 8-8 QuadSPI 接口时序图 137
图 8-9 FullQuadSPI 接口时序图 138
图 9-1 UART 控制器与接口管脚映射图 140
图 9-2 UART 接口控制示意图 141

版权所有 © 海思技术有限公司

图 9-3 UART 控制器到全互联 port 到接口的复用关系 146
图 9-4 UART0 七线模式接口外接电路参考图 147
图 10-1 SPI 控制器与接口的对应关系 150
图 10-2 SPI 接口外接电路参考图 150
图 10-3 MotorolaSPI 单帧帧格式（spo=0、sph=0） 151
图 10-4 MotorolaSPI 连续帧帧格式（spo=0、sph=0） 151
图 10-5 MotorolaSPI 单帧帧格式（spo=0、sph=1） 152
图 10-6 MotorolaSPI 连续帧帧格式（spo=0、sph=1） 152
图 10-7 MotorolaSPI 单帧帧格式（spo=1、sph=0） 153
图 10-8 MotorolaSPI 连续帧帧格式（spo=1、sph=0） 153
图 10-9 MotorolaSPI 单帧帧格式（spo=1、sph=1） 154
图 10-10 MotorolaSPI 连续帧帧格式（spo=1、sph=1） 154
图 11-1 eMMC 典型应用电路图 158
图 12-1 SDIO 接口电路参考图 162
图 13-1 MDIO 接口电路设计参考图 164
图 14-1 I2C 端口和控制器对应图 167
图 14-2 I2C 典型应用电路原理图 168
图 15-1 网口（GMAC_CLUSTER）在 BMC 芯片中的位置 169
图 15-2 RMII 接口电路设计参考图 171
图 16-1 CAN BUS 接口外接电路参考图 174
图 17-1 FAN&PW 和管脚对应关系图 179
图 18-1 JTAG IO MUX 示意图 182
图 20-1 PCIE 接口参考电阻内部连接示意图 190
图 20-2 SGMII 和 USB3 参考电阻内部连接示意图 192
图 21-1 VGA 接口外接电路参考图 195
图 23-1 时序图元说明 198
图 23-2 MDIO 接口读时序图 199

 版权所有 © 海思技术有限公司

图 23-3 MDIO 接口写时序图 200
图 23-4 RMII 接口时序图 200
图 23-5 SPI 接口时序图 202
图 23-6 I2C 数据传输时序图 203
图 23-7 SD/MMC 卡时序图 206
图 23-8 单沿的 HS、DS 模式接口时序图 207
图 23-9 双沿 DDR50 模式接口时序图 208
图 23-10 HS200 模式接口时序图 209
图 23-11 HS400 模式输出接口时序图 210
图 23-12 HS400 模式输入接口时序图 210
图 23-13 eMMC 时序参数表 211
图 23-14 SFC 时序图 212
图 23-15 JTAG 接口时序图 213
图 23-16 JTAG Master 时序图 214
图 23-17 LPC IO 接口读时序图 215
图 23-18 LPC IO 接口写时序图 215
图 23-19 LPC 33MHz 时序图 215
图 23-20 ESPI 输入时序图 216
图 23-21 ESPI 输出时序图 217
图 24-1 过冲参数示意图 225
图 24-2 过冲参数示意图 225
图 26-1 Mark 示意图 236
图 26-2 Top view 238
图 26-3 Side view 239
图 26-4 Detail A 239
图 26-5 Bottom view 240
图 26-6 Dimension of package 240

版权所有 © 海思技术有限公司

图 27-1 ADC 接口外接电路参考图 251
图 30-1 热阻关系图 264
图 30-2 推荐的安装方式 265
图 30-3 禁止的安装方式 266
图 31-1 焊接温度曲线图 268

版权所有 © 海思技术有限公司

表格目录

表 1-1 Hi3093 工作时钟 5
表 1-2 Hi3093 封装尺寸 5
表 2-1 电源、地及敏感信号管脚分布颜色示意图 9
表 2-2 管脚类型说明 10
表 2-3 类型说明 10
表 2-4 电平类型说明 11
表 2-5 管脚数量统计 11
表 2-6 系统时钟接口管脚列表 12
表 2-7 复位接口管脚列表 13
表 2-8 SerDes 接口管脚列表 15
表 2-9 DDR 接口管脚列表 17
表 2-10 USB 接口管脚列表 23
表 2-11 VGA 接口管脚列表 25
表 2-12 ADC 接口管脚列表 26
表 2-13 低速数字接口管脚列表 28
表 2-14 模拟电源和地管脚列表 38
表 2-15 数字电源和地管脚列表 40
表 2-16 probe 配置信号和管脚对应表 42
表 2-17 测试接口管脚列表 46
表 2-18 复用管脚列表 47

版权所有 © 海思技术有限公司

表 2-19 芯片上电配置管脚说明 81
表 3-1 Hi3093 时钟列表 84
表 4-1 各种类型的复位范围描述 93
表 5-1 极限电源电压参数 106
表 5-2 推荐电源电压参数 108
表 6-1 DDRC 支持的 DDR4 SDRAM 列表 114
表 7-1 Local Bus 接口信号列表 121
表 7-2 LocalBus 的可配置时序参数表 123
表 8-1 SFC 接口信号列表 132
表 9-1 波特率误差 142
表 9-2 UART 接口模式 142
表 9-3 UART 接口信号列表 143
表 10-1 SPI 接口信号列表 149
表 11-1 eMMC 控制器接口信号描述 157
表 11-2 信号线负载参数 158
表 12-1 SDIO 接口信号列表 161
表 13-1 MDIO 管脚 164
表 14-1 I2C 接口信号列表 165
表 15-1 RMII 接口信号列表 170
表 16-1 CANBUS 接口信号列表 174
表 17-1 FAN&PWM 接口信号列表 177
表 18-1 JTAG 接口信号列表 181
表 19-1 SGPIO 接口信号描述 185
表 20-1 SerDes 接口应用表 186
表 20-2 SerDes 接口信号列表 187
表 20-3 PCIE SerDes 接口信号列表 189
表 20-4 SGMII SerDes 接口信号列表 190

版权所有 © 海思技术有限公司

表 20-5 USB3 接口信号列表 192
表 23-1 MDIO 接口读时序参数 199
表 23-2 MDIO 接口写时序参数 200
表 23-3 RMII 各信号相对内部时钟 input/output Delay 参数表 201
表 23-4 SPI 接口时序参数 202
表 23-5 I2C 接口时序参数表 203
表 23-6 输入方向延迟时序参数表 205
表 23-7 输出方向延迟时序参数表 205
表 23-8 SD/MMC 时序参数 206
表 23-9 单沿 DS 模式时序参数表 207
表 23-10 单沿 HS 模式时序参数表 208
表 23-11 双沿 DDR50 模式时序参数表 209
表 23-12 HS200 模式时序参数表 209
表 23-13 HS400 模式时序参数表 210
表 23-14 SFC 时序参数 212
表 23-15 JTAG 接口时序参数 213
表 23-16 JTAG Master 接口时序参数 214
表 23-17 LPC 接口时序参数 215
表 23-18 ESPI 参数说明 217
表 23-19 ESPI 时序参数 218
表 23-20 ESPI 时序参数 218
表 24-1 极限工作环境参数 220
表 24-2 推荐工作环境参数 220
表 24-3 1.8V 数字 IO DC 参数表 221
表 24-4 3.3V 数字 IO DC 参数表 222
表 24-5 PECI 数字 IO DC 参数表 223
表 24-6 3.3V LVCMOS I/O 过冲参数 225

版权所有 © 海思技术有限公司

表 24-7 1.8V LVCMOS I/O 过冲参数 226
表 24-8 系统时钟典型应用电气特性 226
表 24-9 USB 时钟典型应用电气特性 227
表 24-10 PCIE 时钟典型应用电气特性 228
表 24-11 GE 时钟典型应用电气特性 229
表 24-12 DDR 接口写方向数据眼图要求 231
表 24-13 DDR 接口读方向数据眼图要求 231
表 24-14 DDR 接口地址控制命令眼图要求 231
表 25-1 通用可靠性参数表 233
表 25-2 芯片潮湿敏感等级定义 234
表 26-1 Mark 说明 237
表 26-2 PartNumber 说明 237
表 26-3 Hi3093 芯片封装参数 241
表 27-1 DDR 接口数据信号 DQ/DQS 信号互连说明 245
表 27-2 DDR 时钟 CK 信号互连说明 246
表 27-3 DDR 控制地址命令信号 CMD/ADDR 信号互连说明 246
表 27-4 DDR 校准电阻外围电路 246
表 27-5 DDR 信号 Swap 支持 247
表 27-6 DDR 接口信号芯片封装内部走线长度列表 247
表 28-1 典型场景下各种电源的实测功耗 254
表 28-2 待机场景下各种电源的实测功耗 255
表 28-3 最大功耗场景下各种电源的实测功耗 256
表 28-4 典型场景下各种电源的实测功耗 257
表 28-5 待机场景下各种电源的实测功耗 258
表 28-6 最大功耗场景下各种电源的实测功耗 259
表 30-1 工作温度参数 262
表 30-2 Hi3093 芯片的封装热阻 264

版权所有 © 海思技术有限公司

表 30-3 导热介质材料推荐表 265

表 31-1 温度曲线图中各个参数说明..... 268

表 31-2 Pb-free process-Classification Temperatures（Tc） 269

版权所有 © 海思技术有限公司

手册使用约束

须知

需按照芯片手册注明的功能、性能、配置步骤等信息进行软硬件开发，未按手册注明的信息进行操作，可能会出现不可预知风险。任何不按手册注明的信息进行的应用需得到FAE 书面认可才能进行。切勿依商用器件经验、海思其它器件经验推测，否则后果自行承担，谢谢！

版权所有 © 海思技术有限公司

1 芯片简介

1.1 概述

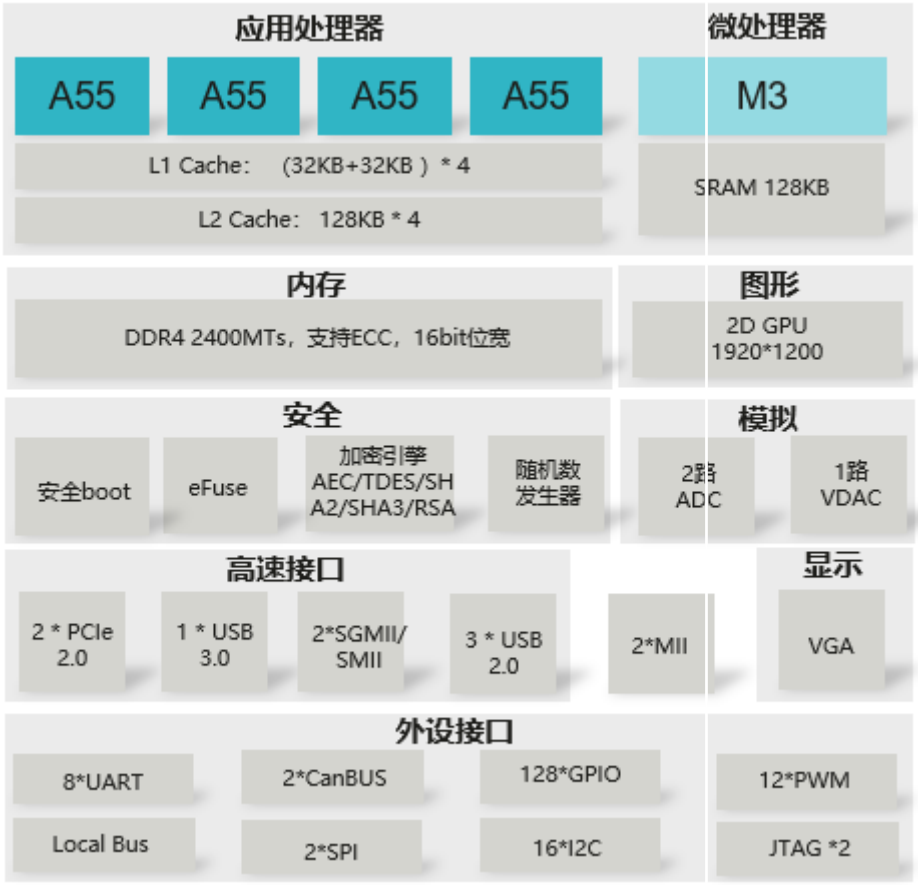
Hi3093 是一款针对工控、IOT 网关等领域的通用 MPU 芯片，包括主频最高 1GHz 的四核 A55 CPU，一个协处理 M3 主频 200MHz 及安全核 M3 主频 400MHz。芯片支持远程 KVM(Keyboard Video Mouse)，支持 IPMI 管理接口，支持 PCIE 收发 MCTP 报文，支持本地显示 VGA，GE 网口、RMII 接口，以及其它丰富的板级管理和外设接口。

系统从功能维度分为 5 个子系统：

- A5X 子系统：包含 A55 和 GIC。
- 高速外设（HP）子系统：包含 SGMII/RMII、USB3.0、USB2.0、Serdes。
- 低速外设（LP）子系统：包含 M3、安全 M3、HPRE、CER、SEC、TRNG、efuse、DMAC、SFC、LocalBus、eMMC、ROM、RAM、UART、I2C、SOL、WATCHDOG、SPI、SGPIO、IPMB、Canbus、Sysctrl、PECI、MDIO、SDIO、GPIO、RTC、PWM、时钟、复位、(IOCONFIG 复用配置寄存器，待刷新)、JLC、HOSTUART、AD。
- HOST 系统：包含 PCIE0、PCIE1、GPU、VCE、HOSTRTC。
- DDR 系统：包含 DDRC 和 DDR PHY。

版权所有 © 海思技术有限公司

图1-1 整芯片逻辑框图



1.2 功能特性简述

1.2.1 处理器核

- 集成一个 cluster，cluster 里 4 个 A55 处理器，频率最高 1.0GHz，可以静态配置分频。
- A55 为 64 位处理器，兼容 ARM V8 指令集。
- 支持 CAS 指令。
- L1 Icache 32KB/L1 Dcache 32KB/L2 Cache 128KB。
- 支持 Crpto 加速/Dot Product 指令集、支持浮点 1.0Gflops/Core。
- 支持 L1/L2cache/TLB 保护。
- 处理器核内都带有硬件浮点处理单元，支持 IEEE754 标准单双精度浮点运算。
- 支持中断控制器 GIC，支持 GIC-V3 架构规范。

版权所有 © 海思技术有限公司

1.2.2 DDR 接口

- 集成单通道 DDR，支持 DDR4 16bits@2400MHz，支持片内 ECC 校验。
- 非安全区提供容量 128KB 的 SRAM。
- 安全区提供 1 块 256KB SRAM。

1.2.3 外部接口

- 集成 4 个 MAC 控制器，其中 2 路为 RMII 接口，另外 2 路为 SGMII 接口满足 10M/100M/1000M 应用。
- 集成 2 个 PCI-E 控制器，支持 PCI Gen2 标准。
- 集成 3 个 USB2.0 控制器，支持 DEVICE。
- 集成 1 个 USB3.0 控制器，支持 HOST 模式。
- 集成 SD2.0、MMC4.5 版本控制器，灵活解决可插拔存储卡应用。
- 集成 local bus 接口，支持 Nor Flash 启动。
- 集成 1 个 ADC 控制器，支持模拟电压检测。
- 集成 1 路 DAC，输出 VGA 信号。
- 集成 2 路 SFC 控制器，对接 SPI FLASH 器件，支持 SFC0 启动。
- 集成 1 个 CanBus 控制器。
- 集成 16 路 FAN 和 12 路 PWM。
- 集成 16 路 I2C，支持 SMBUS、IPMB 功能。
- 集成 8 路 UART，支持 1 路全功能模式，支持内部控制器全功能互联。
- 4 个 GPIO 控制器（129 根 GPIO 管脚与功能管脚复用）。
- 2 个 SPI。

1.2.4 加速器功能

- 支持密钥吊销。
- 提供了高性能并针对业务处理优化设计的 16 通道 DMAC。

1.2.5 显示功能

- 支持 VGA 接口显示输出。

版权所有 © 海思技术有限公司

- 集成视频图形数据压缩模块 VCE 对图像数据进行压缩处理，支持录屏、下电截屏功能。

1.2.6 安全功能

- 集成 M3 处理器，支持安全启动、BIOS 校验及强身份识别。
- 集成仅安全核可访问 ROM，容量为 32KB。
- 集成 eFuse 支持整体安全方案。
- 集成硬件加解密引擎，支持 RSA、ECDSA256、AES128-256、SHA256-512 及 HMAC 算法。
- 支持真随机数发生器，速率 16Kbps。

1.2.7 其他接口

- 集成协处理器 M3 进行协助处理实时性要求较高的业务。
- 集成 MCTP 管理部件传输协议，实现管理控制器如 CPU 和各设备之间的通信。
- 支持双 BIOS 启动，支持复位状态查询。
- 支持分业务模块复位，HOST 业务和 BMC 业务可独立复位。
- 集成 7 个 WatchDog。
- 集成 6 个 64bit Timer。
- 集成 1 个 HOSTRTC 和 1 个 BMCRTC。
- 支持 SOL 串口数据保存。
- 支持黑匣子功能，通过 PCIe 接口将数据写入 DDR 缓存。
- 支持处理器 JTAG 调试。
- 集成系统控制器，提供系统时钟、复位及系统模式切换功能。
- 支持 DRAM test。

版权所有 © 海思技术有限公司

1.3 硬件特性简述

1.3.1 参考时钟

表1-1 Hi3093 工作时钟

参考时钟	用途
25MHz	系统工作时钟。
100MHz	PCIE0、PCIE1、GMAC、USB3 SerDes 参考时钟（默认 100M）。

1.3.2 封装尺寸

表1-2 Hi3093 封装尺寸

芯片型号	封装尺寸	器件最大高度
Hi3093	17mm×17mm	-

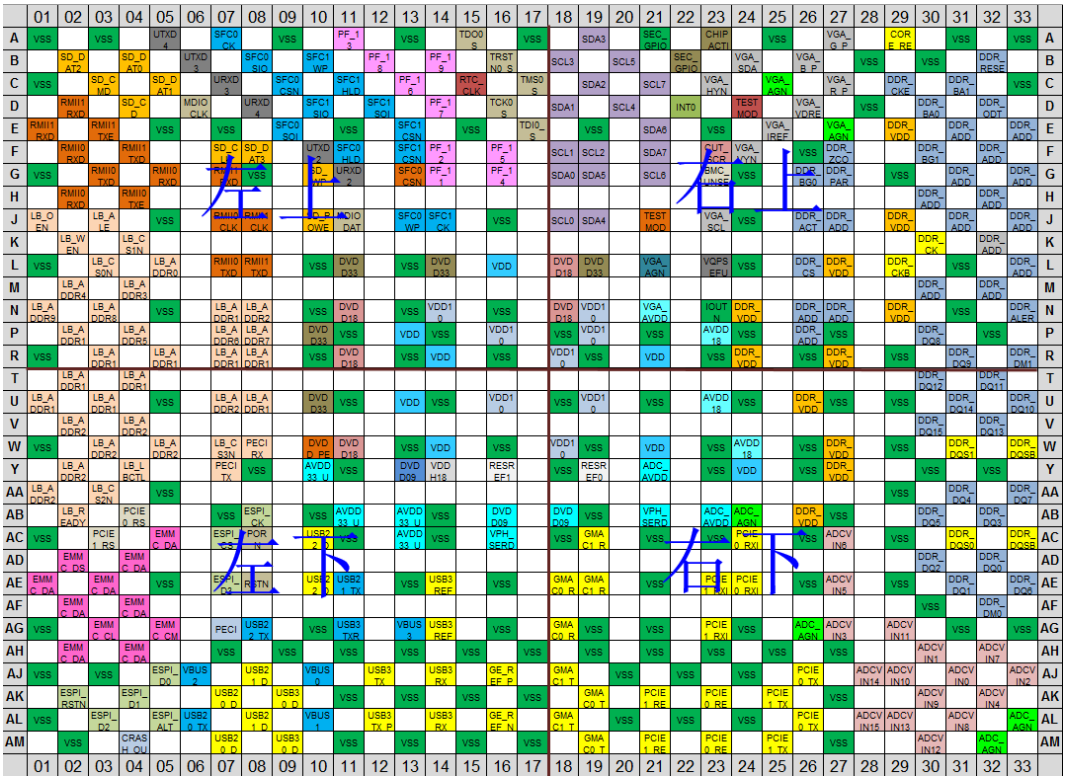
版权所有 © 海思技术有限公司

2 管脚描述

2.1 管脚分布图

Hi3093 管脚分布如图 2-1（下边分布图为 TOP view：从上往下看的视图）所示。

图2-1 管脚分布 TOP view 全景图



版权所有 © 海思技术有限公司

图2-2 管脚分布图 TOP view 左上

	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17
A	VSS		VSS		UTXD4		SFC0_CK		VSS		PF_13		VSS		TDO0_S		VSS
B		SD_DAT2		SD_DAT0		UTXD3		SFC0_SIO		SFC1_WP		PF_18		PF_19		TRSTN0_S	
C	VSS		SD_CMD		SD_DAT1		URXD3		SFC0_CSN		SFC1_HLD		PF_16		RTC_CLK		TMS0_S
D		RMII1_RXD		SD_CD		MDIO_CLK		URXD4		SFC1_SIO		SFC1_SOI		PF_17		TCK0_S	
E	RMII1_RXD		RMII1_TXE		VSS		VSS		SFC0_SOI		VSS		SFC1_CSN		VSS		TDI0_S
F		RMII0_RXD		RMII1_TXD			SD_CLK	SD_DAT3		UTXD2	SFC0_HLD		SFC1_CSN	PF_12		PF_15	
G	VSS		RMII0_TXD		RMII0_RXD		RMII1_RXD	VSS		SD_WP	URXD2		SFC0_CSN	PF_11		PF_14	
H		RMII0_RXD		RMII0_TXE													
J	LB_OEN		LB_ALE		VSS		RMII0_CLK	RMII1_CLK		SD_POWE	MDIO_DAT		SFC0_WP	SFC1_CK		VSS	
K		LB_WEN		LB_CS1N													
L	VSS		LB_CS0N		LB_ADDR0		RMII0_TXD	RMII1_TXD		VSS	DVDD33		VSS	DVDD33		VDD	
M		LB_ADDR4		LB_ADDR3													
N	LB_ADDR9		LB_ADDR8		VSS		LB_ADDR1	LB_ADDR2		VSS	DVDD18		VSS	VDD10		VSS	
P		LB_ADDR1		LB_ADDR5			LB_ADDR6	LB_ADDR7		DVDD33	VSS		VDD	VSS		VDD10	
R	VSS		LB_ADDR1		LB_ADDR1		LB_ADDR1	LB_ADDR1		VSS	DVDD18		VSS	VDD		VSS	

图2-3 管脚分布图 TOP view 右上

18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	
	SDA3		SEC_GPIO		CHIP_ACTIV		VSS		VGA_G_P		CORE_REF		VSS		VSS	A
SCL3		SCL5		SEC_GPIO		VGA_SDA		VGA_B_P		VSS		VSS		DDR_RESE		B
	SDA2		SCL7		VGA_HYNC		VGA_AGND		VGA_R_P		DDR_CKE		DDR_BA1		VSS	C
SDA1		SCL4		INT0		TESTMOD		VGA_VDRE		VSS		DDR_BA0		DDR_ODT		D
	VSS		SDA6		VSS		VGA_IREF		VGA_AGND		DDR_VDDQ		DDR_ADDR		DDR_ADDR	E
SCL1	SCL2		SDA7		CUT_SCR	VGA_VYNC		VSS	DDR_ZCOM			DDR_BG1		DDR_ADDR		F
SDA0	SDA5		SCL6		BMC_UNSE	VSS		DDR_BG0	DDR_PAR		VSS		DDR_ADDR		DDR_ADDR	G
												DDR_ADDR		DDR_ADDR		H
SCL0	SDA4		TESTMOD		VGA_SCL	VSS		DDR_ACT	DDR_ADDR		DDR_VDDQ		DDR_ADDR		DDR_ADDR	J
												DDR_CK		DDR_ADDR		K
DVDD18	DVDD33		VGA_AGND		VQPS_EFU	VSS		DDR_CS	DDR_VDDQ		DDR_CKB		VSS		DDR_ADDR	L
												DDR_ADDR		DDR_ADDR		M
DVDD18	VDD10		VGA_AVDD		IOUTN	DDR_VDDQ		DDR_ADDR	DDR_ADDR		DDR_VDDQ		VSS		DDR_ALER	N
VSS	VDD10		VSS		AVDD18	VSS		DDR_ADDR	VSS			DDR_DQ8		VSS		P
VDD10	VSS		VDD		VSS	DDR_VDDQ		VSS	DDR_VDDQ		VSS		DDR_DQ9		DDR_DM1	R

版权所有 © 海思技术有限公司

图2-4 管脚分布图 TOP view 左下

	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17
T		LB_ADDR1		LB_ADDR1													
U	LB_ADDR1		LB_ADDR1		VSS		LB_ADDR2	LB_ADDR1		DVDD33	VSS		VDD	VSS		VDD10	
V		LB_ADDR2		LB_ADDR2													
W	VSS		LB_ADDR2		LB_ADDR2		LB_CS3N	PECIRX		DVDD_PECI	DVDD18		VSS	VDD		VSS	
Y		LB_ADDR2		LB_LBCTL			PECITX	VSS		AVDD33_US	VSS		DVDD09_US	VDDH18_US		RESREF1	
AA	LB_ADDR2		LB_CS2N		VSS												
AB		LB_READY		PCIE0_RSTN			VSS	ESPI_CK		VSS	AVDD33_US		AVDD33_US	VSS		DVDD09_SE	
AC	VSS		PCIE1_RSTN		EMMC_DAT6		ESPI_CS	PORN		USB2_2_DP	VSS		AVDD33_US	VSS		VPH_SERD	
AD		EMMC_DS		EMMC_DAT7													
AE	EMMC_DAT5		EMMC_DAT4		VSS		ESPI_D3	RSTN		USB2_2_DN	USB2_1_TXR		VSS	USB3_REF		VSS	
AF		EMMC_DAT3		EMMC_DAT0													
AG	VSS		EMMC_CLK		EMMC_CMD		PECI	USB2_2_TXR		VSS	USB3_TXRTU		VBUS3	USB3_REF_		VSS	
AH		EMMC_DAT1		EMMC_DAT2			VSS		VSS		VSS		VSS		VSS		VSS
AJ	VSS		VSS		ESPI_D0	VBUS2		USB2_1_DP		VBUS0		USB3_TX_N		USB3_RX_N		GE_REF_P	
AK		ESPI_RSTN		ESPI_D1			USB2_0_DP		USB3_0_DP		VSS		VSS		VSS		VSS
AL	VSS		ESPI_D2		ESPI_ALT	USB2_0_TXR		USB2_1_DN		VBUS1		USB3_TX_P		USB3_RX_P		GE_REF_N	
AM		VSS		CRASH_OU			USB2_0_DN		USB3_0_DN		VSS		VSS		VSS		VSS

版权所有 © 海思技术有限公司

图2-5 管脚分布图 TOP view 右下

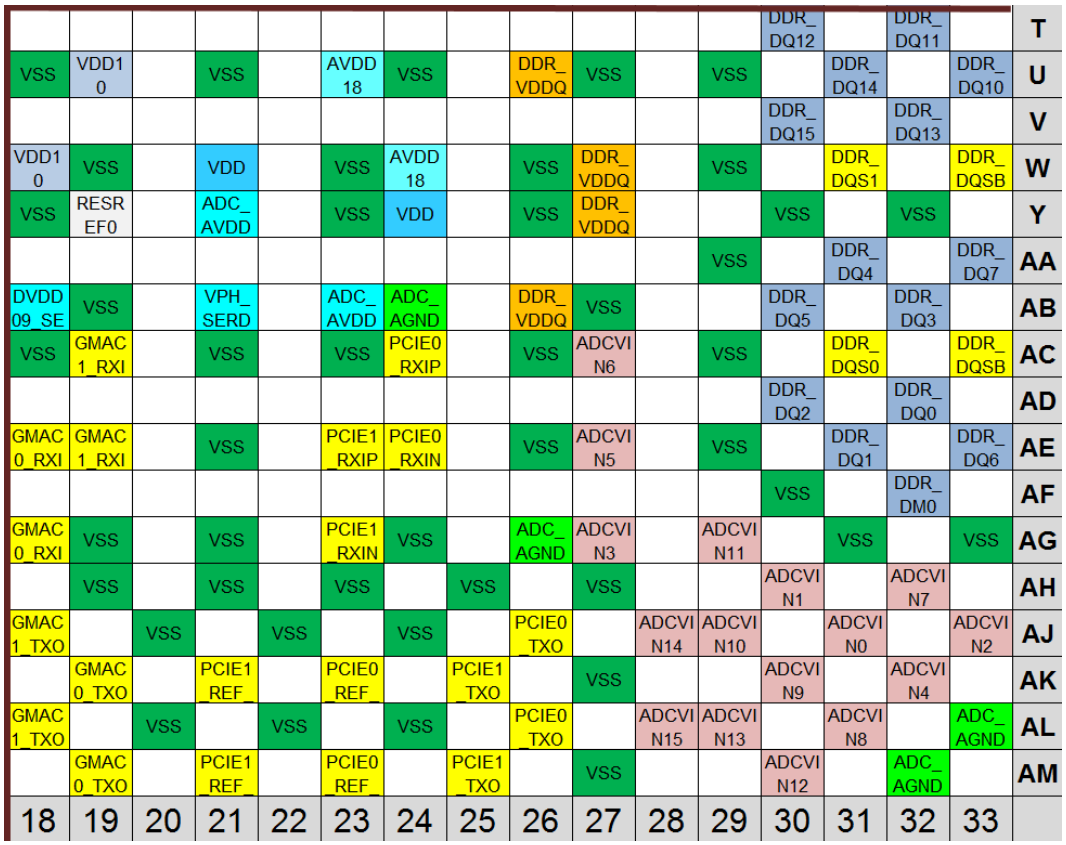


表2-1 电源、地及敏感信号管脚分布颜色示意图

类型	描述	管脚数
VSS	数字地	135
DVDD33	3.3V IO 电源	5
DVDD18	1.8V IO 电源	5
VDD	CORE 电源	8
VDD10	A55 电源	8
DDR_VDDQ	DDR 电源	11
-	模拟电源	15
-	差分和时钟	43
-	模拟地	7
-	ADC 信号	16
-	DDR 信号	47

版权所有 © 海思技术有限公司

2.2 管脚类型和电平类型说明

管脚 I/O 类型和电平类型如表 2-2 和表 2-4 所示。

表2-2 管脚类型说明

类型大类	类型大类说明
数字管脚	数字
模拟管脚	模拟
数字电源	给数字电路供电的电源
模拟电源	给模拟电路供电的电源
模拟 GND	模拟地
数字 GND	数字地

表2-3 类型说明

类型小类	类型小类说明
I	普通输入端口。
I_{PU}	带有内部上拉的输入端口。
I_{PD}	带有内部下拉的输入端口。
O	普通输出端口。
O_{OD}	输出，漏极开路。管脚只能输出 High-Z 和 0（低电平）两种状态；如要需要输出 1（高电平），必须外接上拉电阻到相应电源。
I/O	双向输入/输出端口。
I/O_{OD}	双向端口，输出漏极开路。
Tri	三态端口。
NC	芯片内部未连接。

版权所有 © 海思技术有限公司

表2-4 电平类型说明

类型大类	类型大类说明
LVDS	LVDS 差分电平。
CML	电流逻辑电平。
LVCMOS	LVCMOS（低压互补金属氧化物半导体）电平。
POD	虚拟漏极开路逻辑电平。

2.3 管脚数量统计

各功能管脚数量信息如表 2-5 所示。

表2-5 管脚数量统计

管脚类型	数量
DDR	53
USB	20
PCIE	9
GE	9
CLK	9
VGA	9
ADC	16
其它低速 IO	155
测试管脚	1
电源/地	189
总计	470

版权所有 © 海思技术有限公司

2.4 管脚详细描述

2.4.1 系统时钟接口

系统时钟管脚接口如表 2-6 所示。

表2-6 系统时钟接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述	单板应用处理建议
CORE_REF	A29	独占	数字I	1.8V LVCMOS	25MHz	系统参考时钟	见说明。
PCIE0_REF_P	AK23	独占	数字IPU	0.9V CML	100MHz	PCIE0 SerDes的参考时钟的P端	
PCIE0_REF_N	AM23	独占	数字IPU	0.9V CML	100MHz	PCIE0 SerDes的参考时钟的N端	
PCIE1_REF_P	AK21	独占	数字IPU	0.9V CML	100MHz	PCIE1 SerDes的参考时钟的P端	
PCIE1_REF_N	AM21	独占	数字IPU	0.9V CML	100MHz	PCIE1 SerDes的参考时钟的N端	
GE_REF_P	AJ16	独占	数字IPU	0.9V CML	100MHz	SGMII SerDes的参考时钟的P端	
GE_REF_N	AL16	独占	数字IPU	0.9V CML	100MHz	SGMII SerDes的参考时钟的N端	
USB3_REF_P	AE14	独占	数字IPU	0.9V CML	100MHz	USB3 SerDes的参考时钟的P端	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	描述	单板应用处理建议
USB3_REF_N	AG14	独占	数字 IPU	0.9V CML	100 MHz	USB3 SerDes 的参考时钟的 N 端	

说明

- USB3 接口如用作 USB2 功能，则参考时钟必须提供。
- 表 2-6 所罗列时钟的更详细说明、参数信息请参见 3 时钟章节。
- 上述 SerDes 的差分参考时钟可为 CML 或者 LVDS 以及其它满足电气要求的其它差分电平类型。
- 以上管脚除参考时钟外，其他不用相关模块时，默认接地处理。

2.4.2 复位接口

复位接口管脚列表如表 2-7 所示。

表2-7 复位接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	驱动能力	描述	单板应用处理建议
PORN	AC8	独占	数字 IPU	1.8V LVCMOS	-	芯片上电复位输入，复位全芯片所有的逻辑； 低电平有效，内部可滤除输入信号 160ns 的毛刺。 管脚内部集成的上拉电阻（26kΩ～71kΩ）。	见说明。
RSTN	AE8	独占	数字 IPU	1.8V LVCMOS	-	BMC 域复位输入，复位 BMC 域的逻辑及寄存器，低电平有效，内部可滤除输入信号 160ns 的毛刺。 管脚内部集成的上拉电阻（26kΩ～71kΩ）。	
ESPI_RSTN	AK2	复用	数字 IPU	1.8V LVCMOS	-	HOST 域复位输入，低电平有效，复位 HOST 域的逻辑及寄存器，内	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	驱动能力	描述	单板应用处理建议
						部可滤除输入信号 160ns 的毛刺。 管脚内部集成的上拉电阻（26kΩ～71kΩ）。	
PCIE0_RSTN_INT	AB4	独占	数字 IPU	1.8V LVCMOS	-	PCIE0 接口复位输入，低电平有效，复位 PCIe0、GPU 等逻辑，内部可滤除输入信号 160ns 的毛刺。 管脚内部集成的上拉电阻（26kΩ～71kΩ）。	
PCIE1_RSTN_INT	AC3	独占	数字 IPU	1.8V LVCMOS	-	PCIE1 接口复位输入，低电平有效，复位 PCIe0、GPU 等逻辑，内部可滤除输入信号 160ns 的毛刺。 管脚内部集成的上拉电阻（26kΩ～71kΩ）。	
BMC_UNSE_RST0_N	G23	复用	数字 O	3.3V LVCMOS	18.7 mA	芯片 BMC 非安全域复位输出信号，低有效。当 BMC 非安全域复位时输出该信号。	
DDR_RESETN	B32	独占	数字 O	1.2V POD		DDR4 复位信号，低有效。	
CHIP_ACTIVE	A23	复用	数字 O	3.3V LVCMOS	18.7 mA	芯片状态指示，系统正常运行时输出方波（默认 1Hz），watchdog 出现挂死则输出高电平。	

说明

表 2-7 所罗列有更详细说明、参数信息请参见 4 复位章节。

2.4.3 SerDes 接口

SerDes 接口管脚如表 2-8 所示。

版权所有 © 海思技术有限公司

表2-8 SerDes 接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	速率	驱动能力	描述	单板应用处理建议
PCIE0_RXIN	AE24	独占	模拟I	0.9V CML	5Gbps/2.5Gbps	驱动能力16mA	PCIE0 SerDes 接收差分数据。	见说明。
PCIE0_RXIP	AC24	独占	模拟I	0.9V CML	5Gbps/2.5Gbps	驱动能力16mA	PCIE0 SerDes 接收差分数据。	
PCIE0_TXON	AL26	独占	模拟O	0.9V CML	5Gbps/2.5Gbps	驱动能力16mA	PCIE0 SerDes 发送差分数据。	
PCIE0_TXOP	AJ26	独占	模拟O	0.9V CML	5Gbps/2.5Gbps	驱动能力16mA	PCIE0 SerDes 发送差分数据。	
RESREF0	Y19	独占	模拟	-	-	-	PCIE SerDes 外接参考电阻 0.2kΩ（±1% ± 100 ppm/°C），电阻另一端与模拟地连接。	
PCIE1_RXIN	AG23	独占	模拟I	0.9V CML	5Gbps/2.5Gbps	-	PCIE1 SerDes 接收差分数据。	
PCIE1_RXIP	AE23	独占	模拟I	0.9V CML	5Gbps/2.5Gbps	-	PCIE1 SerDes 接收差分数据。	
PCIE1_TXON	AM25	独占	模拟O	0.9V CML	5Gbps/2.5Gbps	-	PCIE1 SerDes 发送差分数据。	
PCIE1_TXOP	AK25	独占	模拟O	0.9V CML	5Gbps/2.5Gbps	-	PCIE1 SerDes 发送差分数据。	
GMAC0_RXIN	AG18	独占	模拟I	0.9V CML	1.25Gbps	-	GMAC0 SerDes 接收差分数据。	
GMAC0_RXIP	AE18	独占	模拟I	0.9V CML	1.25Gbps	-	GMAC0 SerDes 接收差分数据。	
GMAC0_TXON	AM19	独占	模拟O	0.9V CML	1.25Gbps	-	GMAC0 SerDes 发送差分数据。	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	速率	驱动能力	描述	单板应用处理建议
GMAC0_TXOP	AK19	独占	模拟O	0.9V CML	1.25Gbps	-	GMAC0 SerDes 发送差分数据。	
RESREF1	Y16	独占	模拟	-	-	-	GMAC 及 USB3 SerDes 外接参考电阻 0.2kΩ（±1% ± 100 ppm/°C），电阻另一端与模拟地连接。	
GMAC1_RXIN	AE19	独占	模拟I	0.9V CML	1.25Gbps	-	GMAC1 SerDes 接收差分数据。	
GMAC1_RXIP	AC19	独占	模拟I	0.9V CML	1.25Gbps	-	GMAC1 SerDes 接收差分数据。	
GMAC1_TXON	AJ18	独占	模拟O	0.9V CML	1.25Gbps	-	GMAC1 SerDes 发送差分数据。	
GMAC1_TXOP	AL18	独占	模拟O	0.9V CML	1.25Gbps	-	GMAC1 SerDes 发送差分数据。	
USB3_RX_P	AL14	独占	模拟I	0.9V CML	5Gbps	-	USB3 SerDes 接收差分数据。	
USB3_RX_N	AJ14	独占	模拟I	0.9V CML	5Gbps	-	USB3 SerDes 接收差分数据。	
USB3_TX_P	AL12	独占	模拟O	0.9V CML	5Gbps	-	USB3 SerDes 发送差分数据。	
USB3_TX_N	AJ12	独占	模拟O	0.9V CML	5Gbps	-	USB3 SerDes 发送差分数据。	

说明

所罗列的信号更详细的说明，参数请参见 2.4.3 20 SerDes 接口章节描述。

版权所有 © 海思技术有限公司

2.4.4 DDR 接口

DDR 接口如表 2-9 所示。

表2-9 DDR 接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
DDR_ADDR0	M30	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR1	L33	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR2	M32	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR3	K32	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR4	N27	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR5	H30	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR6	J33	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR7	P26	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_A	J31	独占	数字	1.2V	-	参考 jedec	DDR 的地址信号，根	-

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
DDR8			O	SSTL		协议	据选择的 DDR 颗粒进行地址线的连接。	
DDR_ADDR9	G33	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR10	H32	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR11	N26	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR12	F32	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR13	E31	独占	数字O	1.2V SSTL	-	参考 jedec 协议	DDR 的地址信号，根据选择的 DDR 颗粒进行地址线的连接。	-
DDR_ADDR14	G31	独占	数字O	1.2V SSTL	-	参考 jedec 协议	复用功能引脚，与 CS_n 同时输出，当 ACT_n 有效时，输出为 A14 信号，当 ACT_n 无效时，输出为 WE_n 信号（DDR 写信号）。	-
DDR_ADDR15	E33	独占	数字O	1.2V SSTL	-	参考 jedec 协议	复用功能引脚，与 CS_n 同时输出，当 ACT_n 有效时，输出为 A15 信号，当 ACT_n 无效时，输出为 CAS_n 信号（DDRn SDRAM 列	-

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
							地址选择）。	
DDR_ADDR16	J27	独占	数字O	1.2V SSTL	300 MHz	参考 jedec 协议	复用功能引脚，与 CS_n 同时输出，当 ACT_n 有效时，输出为 A16 信号，当 ACT_n 无效时，输出为 RAS_n 信号（DDRn SDRAM 行地址选择）。	-
DDR_BA0	D30	独占	数字O	1.2V SSTL	300 MHz	参考 jedec 协议	DDR 的 BANK 地址信号。	-
DDR_BA1	C31	独占	数字O	1.2V SSTL	300 MHz	参考 jedec 协议	DDR 的 BANK 地址信号。	-
DDR_RESETN	B32	独占	数字O	1.2V NA	-	参考 jedec 协议	DDR 复位信号，建议外部接 RC 滤波电路。	–
DDR_CS	L26	独占	数字O	1.2V SSTL	600 MHz	参考 jedec 协议	DDR 片选信号。	–
DDR_BG0	G26	独占	数字O	1.2V SSTL	300 MHz	参考 jedec 协议	DDR 的 BANK 地址信号。	-
DDR_BG1	F30	独占	数字O	1.2V SSTL	300 MHz	参考 jedec 协议	DDR 的 BANK 地址信号。	-
DDR_DM0	AF32	独占	数字O	1.2V POD	300 MHz	参考 jedec 协议	数据位屏蔽使能信号。	-
DDR_DM1	R33	独占	数字O	1.2V POD	300 MHz	参考 jedec 协议	数据位屏蔽使能信号。	-
DDR_ODT	D32	独占	数字O	1.2V SSTL	1200 MHz	参考 jedec 协议	DDRn SDRAM 片上终端。	-
DDR_C	C29	独占	数字	1.2V	1200	参考 jedec	DDR 时钟使能信号。	-

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
KE			O	SSTL	MHz	协议		
DDR_CK	K30	独占	数字O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 正相差分时钟。	-
DDR_CKB	L29	独占	数字O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 反相差分时钟。	-
DDR_DQS0	AC31	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR DQS0 差分正相信号。	-
DDR_DQSB0	AC33	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR DQS0 差分反相信号。	-
DDR_DQS1	W31	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR DQS1 差分正相信号。	-
DDR_DQSB1	W33	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR DQS1 差分反相信号。	-
DDR_DQ0	AD32	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 0。	-
DDR_DQ1	AE31	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 1。	-
DDR_DQ2	AD30	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 2。	-
DDR_DQ3	AB32	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 3。	-
DDR_DQ4	AA31	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 4。	-
DDR_DQ5	AB30	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 5。	-
DDR_DQ6	AE33	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 6。	-

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
DDR_DQ7	AA33	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 7。	-
DDR_DQ8	P30	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 8。	-
DDR_DQ9	R31	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 9。	-
DDR_DQ10	U33	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 10。	-
DDR_DQ11	T32	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 11。	-
DDR_DQ12	T30	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 12。	-
DDR_DQ13	V32	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 13。	-
DDR_DQ14	U31	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 14。	-
DDR_DQ15	V30	独占	数字I/O	1.2V POD	1200 MHz	参考 jedec 协议	DDR 数据线 15。	-
DDR_ACT	J26	独占	数字O	1.2V SSTL	300 MHz	参考 jedec 协议	激活命令输入，低有效，与 CS_n 同时输入，有效时 RAS_n/A16, CAS_n/A15 和 WE_n/A14 作为 A16，A15，A14 信号来使用。	-
DDR_ALERT_AC	N33	独占	数字I	1.2V OD	50MHz	参考 jedec 协议	告警位，既可做 CRC 错误标志位，也可以作为命令和地址奇	-

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
							偶校验错误标志位，当出现CRC错误时，Alert_n 会保持较短时间低电平然后恢复高电平，而出现命令和地址奇偶校验错误时，Alert_n 会维持较长的低电平，具体见后续描述。	
DDR_PAR	G27	独占	数字 I	1.2V SSTL	300 MHz	参考 jedec 协议	Command and Address Parity Input：DDR4 通过 MR 设定可以支持偶校验（Even Parity check），应保证校验位与命令位和地址位同时输出，并在时钟上升沿时保持不变。	-
DDR_ZCOMP	F27		数字 I	1.2V NA	-	参考 jedec 协议	DDR 参考电阻。	-

说明

详细说明请参见 6 DDR 接口章节。

2.4.5 USB 接口

USB 接口如表 2-10 所示。

版权所有 © 海思技术有限公司

表2-10 USB 接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
USB2_0_DP	AK7	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB2_0 的数据线 P 端。	见说明。
USB2_0_DN	AM7	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB2_0 的数据线 N 端。	
USB2_1_DP	AJ8	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB2_1 的数据线 P 端。	
USB2_1_DN	AL8	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB2_1 的数据线 N 端。	
USB2_2_DP	AC10	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB2_2 的数据线 P 端。	
USB2_2_DN	AE10	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB2_2 的数据线 N 端。	
USB3_0_DP	AK9	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB3 的数据线 P 端。	
USB3_0_DN	AM9	独占	模拟I/O	3.3V LVCMOS	480 MHz	参考USB2协议	USB3 的数据线 N 端。	
VBUS0	AJ10	独占	模拟I	5V LVCMOS	50MHz	-	VBUS0 供电指示，作为 Device 模式时，必须提供。	
VBUS1	AL10	独占	模拟I	5V LVCMOS	50MHz	-	VBUS1 供电指示，作为 Device 模式时，必须提供。	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
VBUS2	AJ6	独占	模拟 I	5V LVCMOS	50MHz	-	VBUS2 供电指示，作为 Device 模式时，必须提供。	
VBUS3	AG13	独占	模拟 I	5V LVCMOS	50MHz	-	VBUS3 供电指示，作为 Device 模式时，必须提供。	
USB3_TXRTUNE	AG11	独占	-	-	-	-	USB3 的参考电阻 200Ω(±1%)。	
USB2_0_TXRTUNE	AL6	独占	-	-	-	-	USB2_0 的参考电阻 200Ω(±1%)。	
USB2_1_TXRTUNE	AE11	独占	-	-	-	-	USB2_1 的参考电阻 200Ω(±1%)。	
USB2_2_TXRTUNE	AG8	独占	-	-	-	-	USB2_2 的参考电阻 200Ω(±1%)。	

说明

- Hi3093 芯片的 USB3 是通过 SerDes 来实现 SSP 模式，USB2 PHY 来实现 HS 模式的，因此管脚描述时是分开描述的。
- USB2 PHY 采用内部 PLL 输出的时钟作为参考时钟，具体配置请参见《Hi3093 通用 MPU 芯片 用户指南》“时钟”章节。
- VBUS0~VBUS3 的最大电压为 5.25V，否则有损坏风险，不用时可以悬空。
- USB3 接口如用作 USB2 功能，则参考时钟必须提供。

2.4.6 VGA 接口

VGA 接口如表 2-11 所示。

版权所有 © 海思技术有限公司

表2-11 VGA 接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
VGA_HYNC	C23	复用	数字 IPU	3.3V LVCMOS	1MHz	18.7mA	VGA 行同步信号。	-
VGA_VYNC	F24	复用	数字 IPU	3.3V LVCMOS	12.5kHz	18.7mA	VGA 场同步信号。	-
VGA_SCL	J23	复用	数字 IPU	3.3V LVCMOS	400kHz	18.7mA	VGA 的 I2C 时钟信号。	-
VGA_SDA	B24	复用	数字 IPU	3.3V LVCMOS	400kHz	18.7mA	VGA 的 I2C 数据信号。	-
VGA_R_P	C27	独占	模拟 O	-	195MHz	-	VGA 红色模拟输出信号。	-
VGA_G_P	A27	独占	模拟 O	-	195MHz	-	VGA 绿色模拟输出信号。	-
VGA_B_P	B26	独占	模拟 O	-	195MHz	-	VGA 蓝色模拟输出信号。	-
VGA_VDREF	D26	独占	模拟 I	-	-	-	VGA 参考电压。	-

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
VGA_IREF	E25	独占	模拟 I	-	-	-	VGA 参考电流。	-
IOUTN	N23	独占	模拟 O	-	-	-	VGA 模拟信号差分信号 N 端。	需要连接到 VGA_AGND

说明

详细说明请参见“21 VGA 接口”章节。

2.4.7 ADC 接口

ADC 接口如表 2-12 所示。

表2-12 ADC 接口管脚列表

名称	位置	是否复用管脚	管脚类型	描述	单板应用处理建议
ADCVIN0	AJ31	独占	模拟 I	ADC 通道 0 电压模拟信号输入。	-
ADCVIN1	AH30	独占	模拟 I	ADC 通道 1 电压模拟信号输入。	-
ADCVIN2	AJ33	独占	模拟 I	ADC 通道 2 电压模拟信号输入。	-
ADCVIN3	AG27	独占	模拟 I	ADC 通道 3 电压模拟信号输入。	-
ADCVIN4	AK32	独占	模拟 I	ADC 通道 4 电压模拟信号输入。	-

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	描述	单板应用处理建议
ADCVIN5	AE27	独占	模拟 I	ADC 通道 5 电压模拟信号输入。	-
ADCVIN6	AC27	独占	模拟 I	ADC 通道 6 电压模拟信号输入。	-
ADCVIN7	AH32	独占	模拟 I	ADC 通道 7 电压模拟信号输入。	-
ADCVIN8	AL31	独占	模拟 I	ADC 通道 8 电压模拟信号输入。	-
ADCVIN9	AK30	独占	模拟 I	ADC 通道 9 电压模拟信号输入。	-
ADCVIN10	AJ29	独占	模拟 I	ADC 通道 10 电压模拟信号输入。	-
ADCVIN11	AG29	独占	模拟 I	ADC 通道 11 电压模拟信号输入。	-
ADCVIN12	AM30	独占	模拟 I	ADC 通道 12 电压模拟信号输入。	-
ADCVIN13	AL29	独占	模拟 I	ADC 通道 13 电压模拟信号输入。	-
ADCVIN14	AJ28	独占	模拟 I	ADC 通道 14 电压模拟信号输入。	-
ADCVIN15	AL28	独占	模拟 I	ADC 通道 15 电压模拟信号输入。	-

说明

ADC 详细的使用手册请参考《Hi3093 通用 MPU 芯片 用户指南》的“ADC”章节，其中包含输入电压范围，参考电压和使用方法等描述。

版权所有 © 海思技术有限公司

2.4.8 低速数字接口

低速数字接口如表 2-13 所示。

表2-13 低速数字接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
LB_ALE	J3	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	LocalBus	见说明。
LB_CS0N	L3	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_CS1N	K4	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_WEN	K2	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_OEN	J1	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR0	L5	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR1	N7	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR2	N8	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR3	M4	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR4	M2	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR5	P4	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR6	P7	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
LB_ADDR7	P8	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR8	N3	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR9	N1	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
INT0	D22	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	外部中断	
eMMC_CMD	AG5	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_CLK	AG3	复用	数字 Ipu/O	1.8V LVCMOS	36.2mA	eMMC	
eMMC_DAT0	AF4	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_DAT1	AH2	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_DAT2	AH4	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_DAT3	AF2	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_DAT4	AE3	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_DAT5	AE1	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_DAT6	AC5	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	
eMMC_DAT7	AD4	复用	数字 Ipu/O	1.8V LVCMOS	24.3mA	eMMC	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
eMMC_DS	AD2	独占	数字 I/O	1.8V LVCMOS	24.3mA	eMMC	
SFC0_CK	A7	独占	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC0	
SFC0_SIO	B8	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC0	
SFC0_SOI	E9	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC0	
SFC0_WP	J13	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC0	
SFC0_HLD	F11	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC0	
SFC0_CSN0	C9	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC0	
SFC0_CSN1	G13	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC0	
SFC1_CK	J14	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC1	
SFC1_SIO	D10	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC1	
SFC1_SOI	D12	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC1	
SFC1_WP	B10	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC1	
SFC1_HLD	C11	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC1	
SFC1_CSN0	F13	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC1	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
SFC1_CSN1	E13	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	SFC1	
CUT_SCR	F23	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	截屏管脚	
SDA0	G18	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C0	
SCL0	J18	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C0	
SDA1	D18	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C1	
SCL1	F18	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C1	
SDA2	C19	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C2	
SCL2	F19	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C2	
SDA3	A19	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C3	
SCL3	B18	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C3	
SDA4	J19	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C4	
SCL4	D20	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C4	
SDA5	G19	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C5	
SCL5	B20	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C5	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
SDA6	E21	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C6	
SCL6	G21	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C6	
SDA7	F21	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C7	
SCL7	C21	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	I2C7	
LB_ADDR10	R5	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR11	R3	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR12	P2	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR13	T2	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR14	U1	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR15	R7	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR16	T4	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR17	R8	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR18	U3	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR19	U8	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
URXD2	G11	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	UART2	
UTXD2	F10	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	UART2	
URXD3	C7	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	UART3	
UTXD3	B6	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	UART3	
URXD4	D8	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	UART4	
UTXD4	A5	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	UART4	
MDIO_CLK	D6	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	MDIO	
MDIO_DAT	J11	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	MDIO	
RMII0_TXD0	G3	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII0	
RMII0_TXD1	L7	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII0	
RMII0_TXEN	H4	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII0	
RMII0_CLK	J7	复用	数字 I/O	3.3V LVCMOS	27.7mA	RMII0	
RMII0_RXD0	G5	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII0	
RMII0_RXD1	H2	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII0	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
RMII0_RXDV	F2	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII0	
RMII1_TXD0	L8	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII1	
RMII1_TXD1	F4	复用	数字 Ipd/O	3.3V LVCMOS	27.7mA	RMII1	
RMII1_TXEN	E3	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII1	
RMII1_CLK	J8	复用	数字 I/O	3.3V LVCMOS	27.7mA	RMII1	
RMII1_RXD0	E1	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII1	
RMII1_RXD1	G7	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII1	
RMII1_RXDV	D2	复用	数字 Ipu/O	3.3V LVCMOS	27.7mA	RMII1	
LB_CS3N	W7	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR20	V2	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR21	U7	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR22	V4	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR23	W3	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR24	W5	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
LB_ADDR25	Y2	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_ADDR26	AA1	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_LBCTL	Y4	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_CS2N	AA3	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
LB_READY	AB2	复用	数字 Ipu/O	3.3V LVCMOS	21.8mA	LocalBus	
PF_11	G14	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_12	F14	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_13	A11	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_14	G16	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_15	F16	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_16	C13	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_17	D14	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_18	B12	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	
PF_19	B14	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PWM&FAN	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
RTC_CLK	C15	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	RTC	
TCK0_S	D16	复用	数字 I/O	3.3V LVCMOS	18.7mA	JTAG0	
TRSTN0_S	B16	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	JTAG0	
TMS0_S	C17	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	JTAG0	
TDI0_S	E17	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	JTAG0	
TDO0_S	A15	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	JTAG0	
PECITX	Y7	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PECI	
PECIRX	W8	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	PECI	
ESPI_CS	AC7	复用	数字 Ipu/O	1.8V LVCMOS	11mA	ESPI	
ESPI_CK	AB8	复用	数字 I/O	1.8V LVCMOS	11mA	ESPI	
ESPI_D0	AJ5	复用	数字 Ipu/O	1.8V LVCMOS	11mA	ESPI	
ESPI_D1	AK4	复用	数字 Ipu/O	1.8V LVCMOS	11mA	ESPI	
ESPI_D2	AL3	复用	数字 Ipu/O	1.8V LVCMOS	11mA	ESPI	
ESPI_D3	AE7	复用	数字 Ipu/O	1.8V LVCMOS	11mA	ESPI	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
ESPI_ALT	AL5	复用	数字 Ipu/O	1.8V LVCMOS	11mA	ESPI	
SD_CLK	F7	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_POWEREN	J10	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_CD	D4	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_CMD	C3	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_DAT0	B4	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_DAT1	C5	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_DAT2	B2	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_DAT3	F8	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
SD_WP	G10	复用	数字 Ipu/O	3.3V LVCMOS	11mA	SDIO	
TESTMODE0	J21	复用	数字 Ipu/O	3.3V LVCMOS	-	测试模式	
TESTMODE1	D24	复用	数字 Ipu/O	3.3V LVCMOS	-	测试模式	
SEC_GPIO0	B22	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	安全 GPIO	
SEC_GPIO1	A21	复用	数字 Ipu/O	3.3V LVCMOS	18.7mA	安全 GPIO	

版权所有 © 海思技术有限公司

名称	位置	是否复用管脚	管脚类型	电平类型	默认驱动能力	默认功能模块描述	单板应用处理建议
PECI	AG7	复用	数字 I/O	-	-	PECI 单线	

说明

- 各复用功能具体细节请参见 2.5 复用管脚列表章节。
- 上述驱动能力描述为默认驱动能力，驱动能力是可配置的，具体细节请参见 24.2 数字 IO DC 参数表章节。
- 单板处理请参见 6 DDR 接口到 22 ADC 接口的各模块章节的描述。

2.4.9 电源和地

Hi3093 电源和地分为模拟和数字两类，下面分别详细介绍。

2.4.9.1 模拟电源和地

模拟电源和地管脚如表 2-14 所示。

表2-14 模拟电源和地管脚列表

名称	位置	管脚类型	电压标称值(V)	描述	单板应用处理建议
AVDD18	P23,U23,W24	模拟电源	1.8	主要为 DDR 内 PLL，系统 SCPLL，tsensor 的模拟电源。	-
VDDH18_USB	Y14	模拟电源	1.8	USB2.0 的模拟 1.8V 电源。可由 VREGBYPASS 控制，1’b0-3.3V，1’b1-1.8V。	-
AVDD33_USB0	AB11	模拟电源	3.3	USB2_0 的模拟 3.3V 电源。	PCB 上也需要独立。

版权所有 © 海思技术有限公司

名称	位置	管脚类型	电压标称值(V)	描述	单板应用处理建议
AVDD33_USB1	AB13	模拟电源	3.3	USB2_1 的模拟 3.3V 电源。	PCB 上也需要独立。
AVDD33_USB2	Y10	模拟电源	3.3	USB2_2 的模拟 3.3V 电源。	PCB 上也需要独立。
AVDD33_USB3	AC13	模拟电源	3.3	USB2_3 的模拟 3.3V 电源。	PCB 上也需要独立。
VPH_SERDES	AB21, AC16	模拟电源	1.8	SerDes 内部的模拟 1.8V 电源。由 VREGBYPASS（内部信号）控制，1’b0-3.3V，1’b1-1.8V。	-
VGA_AVDD18	N21	模拟电源	1.8	DAC 的模拟 1.8V 电源。	-
ADC_AVDD18	AB23, Y21	模拟电源	1.8	ADC 的模拟 1.8V 电源。	不可在板级将其与其他模拟 1.8V 电源合并。
VGA_AGND	C25,E27, L21	模拟 GND	-	DAC 的模拟地。	板级与数字地 VSS 合并。
ADC_AGND	AB24, AG26, AL33,AM32	模拟 GND	-	ADC 的模拟地。	板级与数字地 VSS 合并。

2.4.9.2 数字电源和地

数字电源和地管脚如表 2-15 所示。

版权所有 © 海思技术有限公司

表2-15 数字电源和地管脚列表

名称	位置	管脚类型	电压(V)	描述	单板应用处理建议
VDD	L16,P13,R14,R21,U13,W14,W21,Y24	数字电源	0.9	数字电源	电源电压满足该电源的电气指标。
VDD10	N14,N19,P16,P19,R18,U16,U19,W18	数字电源	1.0/0.93	A55 电源	本电源对单板 PCB 的对地阻抗需满足 PCB 布线参考。
DVDD33	L11,L14,L19,P10,U10	数字电源	3.3	IO 高压电源	-
DVDD18	L18,N11,N18,R11,W11	数字电源	1.8	IO 低压电源	-
DDR_VDDQ	AB26,E29,J29,L27,N24,N29,R24,R27,U26,W27,Y27	数字电源	1.2	DDR IO 电源	-
DVDD_PECI	W10	数字电源	0.9~1.26	PECI IO 电源	-
VQPS_EFUSE	L23	数字电源	1.8	efuse programming 电源	-
DVDD09_USB	Y13	数字电源	0.9	USB 的数字 0.9V 电源	-
DVDD09_SERDES	AB16,AB18	数字电源	0.9	SerDes 的数字 0.9V 电源	-
VSS	A1,A3,A9,A13,A17,A25,A31,A33,AA5,AA29,AB7,AB10,AB14,AB19,AB27,AC1,	数字地	0	数字地	-

版权所有 © 海思技术有限公司

名称	位置	管脚类型	电压(V)	描述	单板应用处理建议
	AC11,AC14,AC18,AC21,AC23,AC26,AC29,AE5,AE13,AE16,AE21,AE26,AE29,AF30,AG1,AG10,AG16,AG19,AG21,AG24,AG31,AG33,AH7,AH9,H11,AH13,AH15,AH17,AH19,AH21,AH23,AH25,AH27,AJ1,AJ3,AJ20,AJ22,AJ24,AK11,AK13,AK15,AK17,AK27,AL1,AL20,AL22,AL24,AM2,AM11,AM13,AM15,AM17,AM27,B28,B30,C1,C33,D28,E5,E7,E11,E15,E19,E23,F26,G1,G8,G24,G29,J5,J16,J24,L1,L10,L13,L24,L31,N5,N10,N13,N16,N31,P11,P14,P18,P21,P24,P27,P32,R1,R10,R13,R16,R19,R23,R26,R29,U5,U11,U14,U18,U21,U24,U27,U29,W1,W13,W16,W19,W23,				

版权所有 © 海思技术有限公司

名称	位置	管脚类型	电压(V)	描述	单板应用处理建议
	W26,W29,Y8,Y11,Y18,Y23,Y26,Y30,Y32				

说明

A55 电源，供电电压为 1.0V 时，CPU 核最大工作频率可达 1GHz，但功耗较大，供电电压为 0.9V 时，CPU 核最大工作频率可达 800MHz。具体功耗信息请参见 28.1 芯片功耗章节。

2.4.10 厂商测试接口

Probe 观测信号如表 2-16 所示，厂商测试接口管脚如表 2-17 所示。

表2-16 probe 配置信号和管脚对应表

编号	PROBE_CTRL[3:0]	内部关键信号	外部管脚	描述
0	4’b0000	cpll_lock(hs_rst_n)	LB_ADDR10	-
1		ppll0_lock(supreio_rst_n)	LB_ADDR11	-
2		ppll1_lock(pcie0_rst_n)	LB_ADDR12	-
3		core_ref_clk(pcie1_rst_n)	LB_ADDR13	-
4		pad_por_rst_n_ini(probe_core_clk)	SDA4	-
5		sc_rst_n(probe_gpu_clk)	SCL4	-
6		a55_rst_n(probe_ddrc_clk)	SDA5	-
7		bmc_rst_n(probe_hp_clk)	SCL5	-
8		por_rst_n(probe_lp_clk)	SDA6	-
9		crg_rst_n(djtag_clk)	SCl6	-
10		secure_boot(tsensor_clk)	SDA7	-
11		efuse_serial_vld(ppll2_lock)	SCL7	-

版权所有 © 海思技术有限公司

编号	PROBE_CTRL[3:0]	内部关键信号	外部管脚	描述
12	4’b0001	vgas_clk_probe	LB_ADDR10	GPU 的工作时钟
13		adc_clk	LB_ADDR11	ADC 的时钟
14		usb0_utmi_clk	LB_ADDR12	-
15		usb1_utmi_clk	LB_ADDR13	-
16		usb2_utmi_clk	SDA4	-
17		usb_p_utmi_clk	SCL4	-
18		p0_pipe3_pclk	SDA5	-
19		gmac2_rxc_pcs_clk	SCL5	-
20		gmac2_txc_pcs_clk	SDA6	-
21		gmac3_rxc_pcs_clk	SCl6	-
22		gmac3_txc_pcs_clk	SDA7	-
23		u2_0_p0_usb2_phy_extrefclk	SCL7	-
24	4’b0010	u2_1_p0_usb2_phy_extrefclk	LB_ADDR10	-
25		u2_2_p0_usb2_phy_extrefclk	LB_ADDR11	-
26		u3_p0_usb2_phy_extrefclk	LB_ADDR12	-
27		pcie0_pipe_clk	LB_ADDR13	-
28		pcie1_pipe_clk	SDA4	-
29		sec_tst_fro_clk_out	SCL4	-
30		tst_fro_clk_out	SDA5	-
31		pwerstat_core0[0]	SCL5	core0 的电源状态
32		pwerstat_core0[1]	SDA6	core0 的电源状态

版权所有 © 海思技术有限公司

编号	PROBE_CTRL[3:0]	内部关键信号	外部管脚	描述
33		pwerstat_core0[2]	SCl6	core0 的电源状态
34		pwerstat_core0[3]	SDA7	core0 的电源状态
35		pwerstat_core1[0]	SCL7	core1 的电源状态
36	4’b0011	pwerstat_core1[1]	LB_ADDR10	core1 的电源状态
37		pwerstat_core1[2]	LB_ADDR11	core1 的电源状态
38		pwerstat_core1[3]	LB_ADDR12	core1 的电源状态
39		pwerstat_core2[0]	LB_ADDR13	core2 的电源状态
40		pwerstat_core2[1]	SDA4	core2 的电源状态
41		pwerstat_core2[2]	SCL4	core2 的电源状态
42		pwerstat_core2[3]	SDA5	core2 的电源状态
43		pwerstat_core3[0]	SCL5	core3 的电源状态
44		pwerstat_core3[1]	SDA6	core3 的电源状态
45		pwerstat_core3[2]	SCl6	core3 的电源状态

版权所有 © 海思技术有限公司

编号	PROBE_CTRL[3:0]	内部关键信号	外部管脚	描述
46		pwerstat_core3[3]	SDA7	core3 的电源状态
47		core_wfi[0]	SCL7	-
48	4’b0100	core_wfi[1]	LB_ADDR10	-
49		core_wfi[2]	LB_ADDR11	-
50		core_wfi[3]	LB_ADDR12	-
51		core_idle[0]	LB_ADDR13	-
52		core_idle[1]	SDA4	-
53		core_idle[2]	SCL4	-
54		core_idle[3]	SDA5	-
55		awvalidm0	SCL5	-
56		awready0	SDA6	-
57		arvalidm0	SCl6	-
58		arreadym0	SDA7	-
59		u20_8m_clk	SCL7	-
60	4’b0101	u21_8m_clk	LB_ADDR10	-
61		u22_8m_clk	LB_ADDR11	-
62		u30_8m_clk	LB_ADDR12	-
63		NA	LB_ADDR13	-
64		sec_fro_clk[0]	SDA4	-
65		sec_fro_clk[1]	SCL4	-
66		sec_fro_clk[2]	SDA5	-
67		sec_fro_clk[3]	SCL5	-
68		sec_fro_clk[4]	SDA6	-
69		sec_fro_clk[5]	SCl6	-

版权所有 © 海思技术有限公司

编号	PROBE_CTRL[3:0]	内部关键信号	外部管脚	描述
70		sec_fro_clk[6]	SDA7	-
71		sec_fro_clk[7]	SCL7	-
72	4’b0110	fro_clk[0]	LB_ADDR10	-
73		fro_clk[1]	LB_ADDR11	-
74		fro_clk[2]	LB_ADDR12	-
75		fro_clk[3]	LB_ADDR13	-
76		fro_clk[4]	SDA4	-
77		fro_clk[5]	SCL4	-
78		fro_clk[6]	SDA5	-
79		fro_clk[7]	SCL5	-
80		pcie0_phy_ref_clk	SDA6	-
81		pcie1_phy_ref_clk	SCl6	-
82		gmac0_phy_ref_clk	SDA7	-
83		gmac1_phy_ref_clk	SCL7	-
84	4’b0111	usb30_phy_ref_clk	LB_ADDR10	-

说明

以上管脚均为测试使用，和功能管脚复用，产品板不需做特别处理。

表2-17 测试接口管脚列表

名称	位置	是否复用管脚	管脚类型	电平类型	频率	驱动能力	描述	单板应用处理建议
CRASH_OUT	AM4	独占	模拟O	-	-	-	用于检测芯片的 die 是否有 crack 的检测信号。	建议预留观测点。

版权所有 © 海思技术有限公司

说明

电压介于 0.75VDD~VDD 之间时，表示芯片正常，低于该电压，表示芯片可能出现 crack 问题。

2.5 复用管脚列表

Hi3093 数字管脚如表 2-18 所示。

表2-18 复用管脚列表

管脚名称	功能编号	管脚信号	方向	信号说明
LB_ALE	0	LB_ALE	O	LocalBus 地址锁存信号，为高时地址有效，为低时数据有效。
	1	SGPIO0_MCK	O	SGPIO0 的时钟信号。
	2	GPIO0	I/O	GPIO0。
	3	BOOT_CFG8	I	启动配置 8，只在启动时供内部锁存使用。
LB_CS0N	0	LB_CS0N	O	LocalBus 片选 0，低电平有效。
	1	SGPIO0_MLD	O	SGPIO0 的 Load 信号，指示数据开始和结束。
	2	GPIO1	I/O	GPIO1。
LB_CS1N	0	LB_CS1N	O	LocalBus 片选 1，低电平有效。
	1	SGPIO0_MO	O	SGPIO0 的数据输出。
	2	GPIO2	I/O	GPIO2。
LB_WEN	0	LB_WEN	O	写使能信号，低电平有效。
	1	SGPIO0_MI	I	SGPIO0 的数据输入。
	2	GPIO3	I/O	GPIO3。
LB_OEN	0	LB_OEN	O	读使能信号，低电平有效。
	1	SGPIO1_MCK	O	SGPIO1 的时钟信号。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	2	GPIO4	I/O	GPIO4。
LB_ADDR0	0	LB_ADDR0	I/O	数据/地址总线。 LOCAL_BUS_ADDR0 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	SGPIO1_MLD	O	SGPIO1 的 Load 信号，指示数据开始和结束。
	2	GPIO5	I/O	GPIO5。
	3	STRAP0	I	strap 管脚 0。
LB_ADDR1	0	LB_ADDR1	I/O	数据/地址总线。 LOCAL_BUS_ADDR1 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	SGPIO1_MO	O	SGPIO1 的数据输出。
	2	GPIO6	I/O	GPIO6。
	3	STRAP1	I	strap 管脚 1。
LB_ADDR2	0	LB_ADDR2	I/O	数据/地址总线。 LOCAL_BUS_ADDR2 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	SGPIO1_MI	I	SGPIO1 的数据输入。
	2	GPIO7	I/O	GPIO7。
	3	BOOT_CFG56	I	启动配置 56，只在启动时供内部锁存使用。
LB_ADDR3	0	LB_ADDR3	I/O	数据/地址总线。 LOCAL_BUS_ADDR3 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	-	-	-
	2	GPIO8	I/O	GPIO8。
	3	STRAP2	I	strap 管脚 2。
LB_ADDR4	0	LB_ADDR4	I/O	数据/地址总线。 LOCAL_BUS_ADDR4 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	-	-	-
	2	GPIO9	I/O	GPIO9。
	3	STRAP3	I	strap 管脚 3。
LB_ADDR5	0	LB_ADDR5	I/O	数据/地址总线。 LOCAL_BUS_ADDR5 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	-	-	-
	2	GPIO10	I/O	GPIO10。
	3	STRAP4	I	strap 管脚 4。
LB_ADDR6	0	LB_ADDR6	I/O	数据/地址总线。 LOCAL_BUS_ADDR6 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	-	-	-
	2	GPIO11	I/O	GPIO11。
	3	STRAP5	I	strap 管脚 5。
LB_ADDR7	0	LB_ADDR7	I/O	数据/地址总线。 LOCAL_BUS_ADDR7 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	-	-	-

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	2	GPIO12	I/O	GPIO12。
	3	STRAP6	I	strap 管脚 6。
LB_ADDR8	0	LB_ADDR8	I/O	数据/地址总线。 LOCAL_BUS_ADDR8 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	-	-	-
	2	GPIO13	I/O	GPIO13。
	3	STRAP7	I	strap 管脚 7。
LB_ADDR9	0	LB_ADDR9	I/O	数据/地址总线。 LOCAL_BUS_ADDR9 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	-	-	-
	2	GPIO14	I/O	GPIO14。
	3	STRAP8	I	strap 管脚 8。
INT0	0	INT0	I	片外中断源 0。
	1	-	-	-
	2	GPIO64	I/O	GPIO64。
	3	BOOT_CFG57	I	启动配置 57，只在启动时供内部锁存使用。
BMC_UNSE_RST0_N	0	BMC_UNSE_RST0_N	O	输出给外部的 BMC 复位。
	1	-	-	-
	2	GPIO65	I/O	GPIO65。
	3	BOOT_CFG58	I	启动配置 58，只在启动时供内部锁存使用。
eMMC_CMD	0	eMMC_CMD	I/O	eMMC CMD 信号。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	SPI0_CK	O	SPI0 接口时钟。
	2	GPIO15	I/O	GPIO15。
	3	PF_21	I/O	风扇监控控制信号 21。
	4	BOOT_CFG48	I	启动配置 48，只在启动时供内部锁存使用。
eMMC_CLK	0	eMMC_CLK	O	eMMC 时钟信号。
	1	SPI0_CS0	O	SPI0 接口片选 0。
	2	-	-	-
	3	PF_22	I/O	风扇监控控制信号 22。
	4	BOOT_CFG49	I	启动配置 49，只在启动时供内部锁存使用。
eMMC_DAT0	0	eMMC_DAT0	I/O	eMMC 数据线 0，双沿触发。
	1	SPI0_CS1	O	SPI0 接口片选 1。
	2	GPIO16	I/O	GPIO16。
	3	PF_23	I/O	风扇监控控制信号 23。
	4	BOOT_CFG0	I	启动配置 0，只在启动时供内部锁存使用。
eMMC_DAT1	0	eMMC_DAT1	I/O	eMMC 数据线 1，双沿触发。
	1	SPI0_DO	I/O	SPI0 接口输出数据。
	2	GPIO17	I/O	GPIO17。
	3	PF_24	I/O	风扇监控控制信号 24。
	4	BOOT_CFG1	I	启动配置 1，只在启动时供内部锁存使用。
eMMC_DAT2	0	eMMC_DAT2	I/O	eMMC 数据线 2，双沿触发。
	1	SPI0_DI	I	SPI0 接口输入数据。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	2	GPIO18	I/O	GPIO18。
	3	PF_25	I/O	风扇监控控制信号 25。
	4	BOOT_CFG2	I	启动配置 2，只在启动时供内部锁存使用。
eMMC_DAT3	0	eMMC_DAT3	I/O	eMMC 数据线 3，双沿触发。
	1	SPI1_CK(R)	O	SPI1 接口时钟。
	2	GPIO19	I/O	GPIO19。
	3	PF_26	I/O	风扇监控控制信号 26。
	4	BOOT_CFG3	I	启动配置 3，只在启动时供内部锁存使用。
eMMC_DAT4	0	eMMC_DAT4	I/O	eMMC 数据线 4，双沿触发。
	1	SPI1_CS0(R)	O	SPI1 接口片选 0。
	2	GPIO20	I/O	GPIO20。
	3	PF_27	I/O	风扇监控控制信号 27。
	4	BOOT_CFG4	I	启动配置 4，只在启动时供内部锁存使用。
eMMC_DAT5	0	eMMC_DAT5	I/O	eMMC 数据线 5，双沿触发。
	1	SPI1_CS1(R)	O	SPI1 接口片选 1。
	2	GPIO21	I/O	GPIO21。
	3	PF_20	I/O	风扇监控控制信号 20。
	4	BOOT_CFG5	I	启动配置 5，只在启动时供内部锁存使用。
eMMC_DAT6	0	eMMC_DAT6	I/O	eMMC 数据线 6，双沿触发。
	1	SPI1_DO(R)	I/O	SPI1 接口输出数据。
	2	GPIO22	I/O	GPIO22。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	3	-	-	-
	4	BOOT_CFG6	I	启动配置 6，只在启动时供内部锁存使用。
eMMC_DAT7	0	eMMC_DAT7	I/O	eMMC 数据线 7，双沿触发。
	1	SPI1_DI(R)	I	SPI1 接口输入数据。
	2	GPIO23	I/O	GPIO23。
	3	-	-	-
	4	BOOT_CFG7	I	启动配置 7，只在启动时供内部锁存使用。
eMMC_DS	-	专用管脚	I	eMMC data strobe 信号。
SFC0_CK	-	专用管脚	O	SFC0 接口时钟。
SFC0_SIO	0	SFC0_SIO	I/O	SFC 0 的 sio 口数据线，一线模式做输出，四线模式做数据线。
	1	-	-	-
	2	GPIO66	I/O	GPIO66。
	3	BOOT_CFG59	I	启动配置 59，只在启动时供内部锁存使用。
SFC0_SOI	0	SFC0_SOI	I/O	SFC0 的 soi 口数据线，一线模式做输入，四线模式做数据线。
	1	-	-	-
	2	GPIO67	I/O	GPIO67。
	3	BOOT_CFG60	I	启动配置 60，只在启动时供内部锁存使用。
SFC0_WP	0	SFC0_WP	I/O	SFC0 写保护信号；四线模式时做数据线。
	1	-	-	-
	2	GPIO68	I/O	GPIO68。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	3	BOOT_CFG61	I	启动配置 61，只在启动时供内部锁存使用。
SFC0_HLD	0	SFC0_HLD	I/O	SFC0 HOLD 线；四线模式做数据。
	1	-	-	-
	2	GPIO69	I/O	GPIO69。
	3	BOOT_CFG62	I	启动配置 62，只在启动时供内部锁存使用。
SFC0_CSN0	0	SFC0_CSN0	O	SFC0 片选信号 0，低有效。
	1	-	-	-
	2	GPIO70	I/O	GPIO70。
	3	BOOT_CFG63	I	启动配置 63，只在启动时供内部锁存使用。
SFC0_CSN1	0	SFC0_CSN1	O	SFC 0 片选信号 1，低有效。
	1	-	-	-
	2	GPIO71	I/O	GPIO71。
	3	BOOT_CFG64	I	启动配置 64，只在启动时供内部锁存使用。
SFC1_CK	0	SFC1_CK	O	SFC1 接口时钟。
	1	SPI1_CK(T)	O	SPI1 接口时钟。
SFC1_SIO	0	SFC1_SIO	I/O	SFC1 的 sio 口数据线，一线模式做输出，四线模式做数据线。
	1	SPI1_CS0(T)	O	SPI1 接口片选 0。
	2	GPIO72	I/O	GPIO72。
	3	BOOT_CFG65	I	启动配置 65，只在启动时供内部锁存使用。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
SFC1_SOI	0	SFC1_SOI	I/O	SFC1 的 soi 口数据线，一线模式做输入，四线模式做数据线。
	1	SPI1_CS1 (T)	O	SPI1 接口片选 1。
	2	GPIO73	I/O	GPIO73。
	3	BOOT_CFG66	I	启动配置 66，只在启动时供内部锁存使用。
SFC1_WP	0	SFC1_WP	I/O	SFC1 写保护信号；四线模式时做数据线。
	1	SPI1_DO(T)	I/O	SPI1 接口输出数据。
	2	GPIO74	I/O	GPIO74。
	3	BOOT_CFG67	I	启动配置 67，只在启动时供内部锁存使用。
SFC1_HLD	0	SFC1_HLD	I/O	SFC1 HOLD 线；四线模式做数据。
	1	SPI1_DI(T)	I	SPI1 接口输入数据。
	2	GPIO75	I/O	GPIO75。
	3	BOOT_CFG68	I	启动配置 68，只在启动时供内部锁存使用。
SFC1_CSN0	0	SFC1_CSN0	O	SFC1 片选信号 0，低有效。
	1	-	-	-
	2	GPIO76	I/O	GPIO76。
	3	BOOT_CFG69	I	启动配置 69，只在启动时供内部锁存使用。
SFC1_CSN1	0	SFC1_CSN1	O	SFC 1 片选信号 1，低有效。
	1	-	-	-
	2	GPIO77	I/O	GPIO77。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	3	BOOT_CFG70	I	启动配置 70，只在启动时供内部锁存使用。
CUT_SCR	0	CUT_SCR	I	截屏触发信号。
	1	-	-	-
	2	GPIO78	I/O	GPIO78。
	3	BOOT_CFG25	I	启动配置 25，只在启动时供内部锁存使用。
SDA0	0	SDA0	I/O	I2C0 数据，是 OD 门。
	1	INT8	I	片外中断输入 8。
	2	GPIO79	I/O	GPIO79。
	3	IPMB0_SDA(T)	I/O	IPMB0 数据信号，OD 门。
	4	VGA_DBG_R0	I	VGA 的 debug 输入口的 R 通道的 bit0。
SCL0	0	SCL0	I/O	I2C0 时钟，是 OD 门
	1	INT9	I	片外中断输入 9。
	2	GPIO80	I/O	GPIO80。
	3	IPMB0_SCL(T)	I/O	IPMB0 的时钟信号，OD 门。
	4	VGA_DBG_R1	I	VGA 的 debug 输入口的 R 通道的 bit1。
SDA1	0	SDA1	I/O	I2C1 数据，是 OD 门。
	1	INT10	I	片外中断输入 10。
	2	GPIO81	I/O	GPIO81。
	3	IPMB1_SDA(T)	I/O	IPMB1 数据信号，OD 门。
	4	VGA_DBG_R2	I	VGA 的 debug 输入口的 R 通道的 bit2。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
SCL1	0	SCL1	I/O	I2C1 时钟，是 OD 门。
	1	INT11	I	片外中断输入 11。
	2	GPIO82	I/O	GPIO82。
	3	IPMB1_SCL(T)	I/O	IPMB1 的时钟信号，OD 门。
	4	VGA_DBG_R3	I	VGA 的 debug 输入口的 R 通道的 bit3。
SDA2	0	SDA2	I/O	I2C2 数据，是 OD 门。
	1	INT12	I	片外中断输入 12。
	2	GPIO83	I/O	GPIO83。
	3	IPMB2_SDA(T)	I/O	IPMB2 数据信号，OD 门。
	4	VGA_DBG_R4	I	VGA 的 debug 输入口的 R 通道的 bit4。
SCL2	0	SCL2	I/O	I2C2 时钟，是 OD 门。
	1	INT13	I	片外中断输入 13。
	2	GPIO84	I/O	GPIO84。
	3	IPMB2_SCL(T)	I/O	IPMB2 的时钟信号，OD 门。
	4	VGA_DBG_R5	I	VGA 的 debug 输入口的 R 通道的 bit5。
SDA3	0	SDA3	I/O	I2C3 数据，是 OD 门。
	1	INT14	I	片外中断输入 14。
	2	GPIO85	I/O	GPIO85。
	3	IPMB3_SDA(T)	I/O	IPMB3 数据信号，OD 门。
	4	VGA_DBG_R6	I	VGA 的 debug 输入口的 R 通道的 bit6。
SCL3	0	SCL3	I/O	I2C3 时钟，是 OD 门。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	INT15	I	片外中断输入 15。
	2	GPIO86	I/O	GPIO86。
	3	IPMB3_SCL(T)	I/O	IPMB3 的时钟信号，OD 门。
	4	VGA_DBG_R7	I	VGA 的 debug 输入口的 R 通道的 bit7。
SDA4	0	SDA4	I/O	I2C4 数据，是 OD 门。
	1	INT16	I	片外中断输入 16。
	2	GPIO87	I/O	GPIO87。
	3	DBG_OUT_4	O	DEBUG 信号输出 4，用于芯片调试。
	4	VGA_DBG_G0	I	VGA 的 debug 输入口的 G 通道的 bit0。
SCL4	0	SCL4	I/O	I2C4 时钟，是 OD 门。
	1	INT17	I	片外中断输入 17。
	2	GPIO88	I/O	GPIO88。
	3	DBG_OUT_5	O	DEBUG 信号输出 5，用于芯片调试。
	4	VGA_DBG_G1	I	VGA 的 debug 输入口的 G 通道的 bit1。
SDA5	0	SDA5	I/O	I2C5 数据，是 OD 门。
	1	INT18	I	片外中断输入 18。
	2	GPIO89	I/O	GPIO89。
	3	DBG_OUT_6	O	DEBUG 信号输出 6，用于芯片调试。
	4	VGA_DBG_G2	I	VGA 的 debug 输入口的 G 通道的 bit2。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
SCL5	0	SCL5	I/O	I2C5 时钟，是 OD 门。
	1	INT19	I	片外中断输入 19。
	2	GPIO90	I/O	GPIO90。
	3	DBG_OUT_7	O	DEBUG 信号输出 7，用于芯片调试。
	4	VGA_DBG_G3	I	VGA 的 debug 输入口的 G 通道的 bit3。
SDA6	0	SDA6	I/O	I2C6 数据，是 OD 门。
	1	CAN0_TX	O	CAN BUS0 发送数据线。
	2	GPIO91	I/O	GPIO91。
	3	DBG_OUT_8	O	DEBUG 信号输出 8，用于芯片调试。
	4	VGA_DBG_G4	I	VGA 的 debug 输入口的 G 通道的 bit4。
SCL6	0	SCL6	I/O	I2C6 时钟，是 OD 门。
	1	CAN0_RX	I	CAN BUS0 接收数据线。
	2	GPIO92	I/O	GPIO92。
	3	DBG_OUT_9	O	DEBUG 信号输出 9，用于芯片调试。
	4	VGA_DBG_G5	I	VGA 的 debug 输入口的 G 通道的 bit5。
SDA7	0	SDA7	I/O	I2C7 数据，是 OD 门。
	1	CAN1_TX	O	CAN BUS1 发送数据线。
	2	GPIO93	I/O	GPIO93。
	3	DBG_OUT_10	O	DEBUG 信号输出 10，用于芯片调试。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	4	VGA_DBG_G6	I	VGA 的 debug 输入口的 G 通道的 bit6。
SCL7	0	SCL7	I/O	I2C7 时钟，是 OD 门。
	1	CAN1_RX	I	CAN BUS1 接收数据线。
	2	GPIO94	I/O	GPIO94。
	3	DBG_OUT_11	O	DEBUG 信号输出 11，用于芯片调试。
	4	VGA_DBG_G7	I	VGA 的 debug 输入口的 G 通道的 bit7。
LB_ADDR10	0	LB_ADDR10	I/O	数据/地址总线。 LOCAL_BUS_ADDR10 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	URXD0	I	UART0 RX 接收数据信号,默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO24	I/O	GPIO24。
	3	IPMB0_SDA(R)	I/O	IPMB0 数据信号，OD 门。
	4	VGA_DBG_B0	I	VGA 的 debug 输入口的 B 通道的 bit0。
	5	DBG_OUT0	O	DEBUG 信号输出 0，用于芯片调试。
LB_ADDR11	0	LB_ADDR11	I/O	数据/地址总线。 LOCAL_BUS_ADDR11 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	UTXD0	O	UART0 TX 发送数据信号，默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO25	I/O	GPIO25。
	3	IPMB0_SCL(R)	I/O	IPMB0 的时钟信号，OD 门。
	4	VGA_DBG_B1	I	VGA 的 debug 输入口的 B 通道的 bit1。
	5	DBG_OUT1	O	DEBUG 信号输出 1，用于芯片调试
LB_ADDR12	0	LB_ADDR12	I/O	数据/地址总线。 LOCAL_BUS_ADDR12 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	UR0_DTR_N	O	UART0 7 线模式下数据终端准备好，默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO26	I/O	GPIO26。
	3	IPMB1_SDA(R)	I/O	IPMB1 数据信号，OD 门。
	4	VGA_DBG_B2	I	VGA 的 debug 输入口的 B 通道的 bit2。
	5	DBG_OUT2	O	DEBUG 信号输出 2，用于芯片调试。
LB_ADDR13	0	LB_ADDR13	I/O	数据/地址总线。 LOCAL_BUS_ADDR13 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	UR0_CTS_N	I	UART0 清除发送，默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO27	I/O	GPIO27。
	3	IPMB1_SCL(R)	I/O	IPMB1 的时钟信号，OD 门。
	4	VGA_DBG_B3	I	VGA 的 debug 输入口的 B 通道的 bit3。
	5	DBG_OUT3	O	DEBUG 信号输出 3，用于芯片调试。
LB_ADDR14	0	LB_ADDR14	I/O	数据/地址总线。 LOCAL_BUS_ADDR14 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。
	1	UR0_DSR_N	I	UART0 数据准备好，默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO28	I/O	GPIO28。
	3	URXD5	I/O	UART5 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	4	VGA_DBG_B4	I	VGA 的 debug 输入口的 B 通道的 bit4。
	5	BOOT_CFG9	I	启动配置 9，只在启动时供内部锁存使用。
LB_ADDR15	0	LB_ADDR15	I/O	数据/地址总线。 LOCAL_BUS_ADDR15 复用为数据总线，通过 LOCAL_BUS_ALE 进行选择。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	UR0_RTS_N	O	UART0 数据输出请求，默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO29	I/O	GPIO29。
	3	UTXD5	O	UART5 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	4	VGA_DBG_B5	I	VGA 的 debug 输入口的 B 通道的 bit5。
	5	BOOT_CFG10	I	启动配置 10，只在启动时供内部锁存使用。
LB_ADDR16	0	LB_ADDR16	I/O	LOCAL BUS 地址总线 16。
	1	UR0_DCD_N	I	UART0 数据载波侦测，默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO30	I/O	GPIO30。
	3	URXD6	I	UART6 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	4	VGA_DBG_B6	I	VGA 的 debug 输入口的 B 通道的 bit6。
	5	BOOT_CFG11	I	启动配置 11，只在启动时供内部锁存使用。
LB_ADDR17	0	LB_ADDR17	I/O	LOCAL BUS 地址总线 17。
	1	UR0_RI_N	I	UART0 振铃检测，默认为 HOST UART0，可配置为八个 UART 口中的任何一个。
	2	GPIO31	I/O	GPIO31。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	3	UTXD6	O	UART6 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	4	VGA_DBG_B7	I	VGA 的 debug 输入口的 B 通道的 bit7。
	5	BOOT_CFG12	I	启动配置 12，只在启动时供内部锁存使用。
LB_ADDR18	0	LB_ADDR18	I/O	LOCAL BUS 地址总线 18。
	1	SCL15	I/O	I2C15 数据，是 OD 门。
	2	GPIO32	I/O	GPIO32。
	3	URXD1	I	UART1 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	4	-	-	-
	5	BOOT_CFG13	I	启动配置 13，只在启动时供内部锁存使用。
LB_ADDR19	0	LB_ADDR19	I/O	LOCAL BUS 地址总线 19。
	1	SDA15	I/O	I2C15 时钟，是 OD 门。
	2	GPIO33	I/O	GPIO33。
	3	UTXD1	O	UART1 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	4	-	-	-
	5	BOOT_CFG14	I	启动配置 14，只在启动时供内部锁存使用。
URXD2	0	URXD2	I	UART2 RX 接收数据信号，默认为 BMC UART2，可配置为八个 UART 口中的任何一个。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	INT2	I	片外中断输入 2。
	2	GPIO95	I/O	GPIO95。
UTXD2	0	UTXD2	O	UART2 TX 发送数据信号，默认为 BMC UART2，可配置为八个 UART 口中的任何一个。
	1	INT3	I	片外中断输入 3。
	2	GPIO96	I/O	GPIO96。
URXD3	0	URXD3	I	UART3 RX 接收数据信号，默认为 BMC UART2，可配置为八个 UART 口中的任何一个。
	1	INT4	I	片外中断输入 4。
	2	GPIO97	I/O	GPIO97。
	3	BOOT_CFG73	I	启动配置 73，只在启动时供内部锁存使用。
UTXD3	0	UTXD3	O	UART3 TX 发送数据信号，默认为 BMC UART2，可配置为八个 UART 口中的任何一个。
	1	INT5	I	片外中断输入 5。
	2	GPIO98	I/O	GPIO98。
	3	BOOT_CFG74	I	启动配置 74，只在启动时供内部锁存使用。
URXD4	0	URXD4	I	UART4 RX 接收数据信号，默认为 BMC UART2，可配置为八个 UART 口中的任何一个。
	1	INT6	I	片外中断输入 6。
	2	GPIO99	I/O	GPIO99。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	3	BOOT_CFG75	I	启动配置 75，只在启动时供内部锁存使用。
UTXD4	0	UTXD4	O	UART4 TX 发送数据信号，默认为 BMC UART2，可配置为八个 UART 口中的任何一个。
	1	INT7	I	片外中断输入 7。
	2	GPIO100	I/O	GPIO100。
	3	BOOT_CFG76	I	启动配置 76，只在启动时供内部锁存使用。
MDIO_CLK	0	MDIO_CLK	O	MDIO 时钟。
	1	-	-	-
	2	GPIO101	I/O	GPIO101。
	3	BOOT_CFG77	I	启动配置 77，只在启动时供内部锁存使用。
MDIO_DAT	0	MDIO_DAT	I/O	MDIO 数据。
	1	INT1	I	片外输入中断 1。
	2	GPIO102	I/O	GPIO102。
	3	BOOT_CFG78	I	启动配置 78，只在启动时供内部锁存使用。
RMII0_TXD0	0	RMII0_TXD0	O	RMII0 接口发送数据线。
	1	JTAG1_TDI（R）	O	JTAG MASTER1 数据输出。
	2	GPIO34	I/O	GPIO34。
	3	STRAP12	I	STRAP12 管脚。
RMII0_TXD1	0	RMII0_TXD1	O	RMII0 接口发送数据线。
	1	JTAG1_TRSTN（R）	O	JTAG MASTER1 复位信号，低电平有效。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	2	GPIO35	I/O	GPIO35。
	3	STRAP13	I	STRAP13。
RMII0_TXEN	0	RMII0_TXEN	O	RMII0 接口发送使能。
	1	JTAG1_TMS（R）	O	JTAG MASTER1 模式选择。
	2	GPIO36	I/O	GPIO36。
	3	STRAP14	I	STRAP14 管脚。
RMII0_CLK	0	RMII0_CLK	I/O	RMII0 接口时钟。
	1	JTAG1_TCK（R）	O	JTAG MASTER1 时钟输出。
	2	-	-	-
	3	-	-	-
	4	VGA_CLK_IN	I	VGA 的 debug 的时钟输入。
	5	BOOT_CFG50	I	启动配置 50，只在启动时供内部锁存使用。
RMII0_RXD0	0	RMII0_RXD0	I	RMII0 接口接收数据线。
	1	JTAG1_TDO（R）	I	JTAG MASTER1 数据输入。
	2	GPIO37	I/O	GPIO37。
	3	-	-	-
	4	VGAS_DATA_VALID_IN	I	VGA debug 数据有效信号。
	5	BOOT_CFG51	I	启动配置 51，只在启动时供内部锁存使用。
RMII0_RXD1	0	RMII0_RXD1	I	RMII0 接口接收数据线。
	1	-	-	-
	2	GPIO38	I/O	GPIO38。
	3	-	-	-
	4	-	-	-

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	5	BOOT_CFG52	I	启动配置 52，只在启动时供内部锁存使用。
RMII0_RXDV	0	RMII0_RXDV	I	RMII0 接口接载波监听信号。
	1	-	-	-
	2	GPIO39	I/O	GPIO39。
	3	-	-	-
	4	-	-	-
	5	BOOT_CFG53	I	启动配置 53，只在启动时供内部锁存使用。
RMII1_TXD0	0	RMII1_TXD0	O	RMII1 接口发送数据线。
	1	-	-	-
	2	GPIO40	I/O	GPIO40。
	3	BOOT_CFG45	I	启动配置 45，只在启动时供内部锁存使用。
RMII1_TXD1	0	RMII1_TXD1	O	RMII1 接口发送数据线。
	1	-	-	-
	2	GPIO41	I/O	GPIO41。
	3	STRAP10	I	STRAP10 管脚。
RMII1_TXEN	0	RMII1_TXEN	O	RMII1 接口发送使能。
	1	-	-	-
	2	GPIO42	I/O	GPIO42。
	3	STRAP11	I	STRAP11。
RMII1_CLK	-	专用管脚	I/O	RMII1 接口时钟。
RMII1_RXD0	0	RMII1_RXD0	I	RMII1 接口接收数据线。
	1	-	-	-
	2	GPIO43	I/O	GPIO43。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
RMII1_RXD1	3	RMII1_RXD1	I	RMII1 接口接收数据线。
	4	-	-	-
	5	GPIO44	I/O	GPIO44。
RMII1_RXDV	0	RMII1_RXDV	I	RMII1 接口载波监听信号。
	1	-	-	-
	2	GPIO45	I/O	GPIO45。
LB_CS3N	0	LB_CS3N	O	LocalBus 片选信号 3。
	1	PF_0	I/O	风扇监控控制信号 0。
	2	GPIO46	I/O	GPIO46。
	3	SCL8	I/O	I2C8 数据，是 OD 门。
	4	-	-	-
	5	BOOT_CFG15	I	启动配置 15，只在启动时供内部锁存使用。
LB_ADDR20	0	LB_ADDR20	I/O	LOCAL BUS 地址总线 20。
	1	PF_1	I/O	风扇监控控制信号 1。
	2	GPIO47	I/O	GPIO47。
	3	SDA8	I/O	I2C8 时钟，是 OD 门。
	4	-	-	-
	5	BOOT_CFG16	I	启动配置 16，只在启动时供内部锁存使用。
LB_ADDR21	0	LB_ADDR21	I/O	LOCAL BUS 地址总线 21。
	1	PF_2	I/O	风扇监控控制信号 2。
	2	GPIO48	I/O	GPIO48。
	3	SCL9	I/O	I2C9 数据，是 OD 门。
	4	-	-	-

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	5	BOOT_CFG17	I	启动配置 17，只在启动时供内部锁存使用。
LB_ADDR22	0	LB_ADDR22	I/O	LOCAL BUS 地址总线 22。
	1	PF_3	I/O	风扇监控控制信号 3。
	2	GPIO49	I/O	GPIO49。
	3	SDA9	I/O	I2C9 时钟，是 OD 门。
	4	-	-	-
	5	BOOT_CFG18	I	启动配置 18，只在启动时供内部锁存使用。
LB_ADDR23	0	LB_ADDR23	I/O	LOCAL BUS 地址总线 23。
	1	PF_4	I/O	风扇监控控制信号 4。
	2	GPIO50	I/O	GPIO50。
	3	SCL10	I/O	I2C10 数据，是 OD 门。
	4	-	-	-
	5	BOOT_CFG19	I	启动配置 19，只在启动时供内部锁存使用。
LB_ADDR24	0	LB_ADDR24	I/O	LOCAL BUS 地址总线 24。
	1	PF_5	I/O	风扇监控控制信号 5。
	2	GPIO51	I/O	GPIO51。
	3	SDA10	I/O	I2C10 时钟，是 OD 门。
	4	-	-	-
	5	BOOT_CFG20	I	启动配置 20，只在启动时供内部锁存使用。
LB_ADDR25	0	LB_ADDR25	I/O	LOCAL BUS 地址总线 25。
	1	PF_6	I/O	风扇监控控制信号 6。
	2	GPIO52	I/O	GPIO52。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	3	SCL11	I/O	I2C11 数据，是 OD 门。
	4	IPMB2_SCL(R)	I/O	IPMB2 数据信号，OD 门。
	5	BOOT_CFG21	I	启动配置 21，只在启动时供内部锁存使用。
LB_ADDR26	0	LB_ADDR26	I/O	LOCAL BUS 地址总线 26。
	1	PF_7	I/O	风扇监控控制信号 7。
	2	GPIO53	I/O	GPIO53。
	3	SDA11	I/O	I2C11 时钟，是 OD 门。
	4	IPMB2_SDA(R)	I/O	IPMB2 的时钟信号，OD 门。
	5	BOOT_CFG22	I	启动配置 22，只在启动时供内部锁存使用。
LB_LBCTL	0	LB_LBCTL	I/O	LocalBus moto 模式的读写合一信号，可配。
	1	PF_8	I/O	风扇监控控制信号 8。
	2	GPIO54	I/O	GPIO54。
	3	SCL12	I/O	I2C12 数据，是 OD 门。
	4	IPMB3_SCL(R)	I/O	IPMB3 数据信号，OD 门。
	5	BOOT_CFG23	I	启动配置 23，只在启动时供内部锁存使用。
LB_CS2N	0	LB_CS2N	I/O	LocalBus 片选信号 2。
	1	PF_9	I/O	风扇监控控制信号 9。
	2	GPIO55	I/O	GPIO55。
	3	SDA12	I/O	I2C12 时钟，是 OD 门。
	4	IPMB3_SDA(R)	I/O	IPMB3 的时钟信号，OD 门。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	5	BOOT_CFG24	I	启动配置 24，只在启动时供内部锁存使用。
LB_READY	0	LB_READY	I	LocalBus 器件发送过来的异步 ready 信号。
	1	PF_10	I/O	风扇监控控制信号 10。
	2	GPIO56	I/O	GPIO56。
	3	STRAP15	I	Strap 管脚 15。
PF_11	0	PF_11	I/O	风扇监控控制信号 11。
	1	URXD7	I	UART7 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO103	I/O	GPIO103。
	3	URTS9	O	urt9，urts 信号。
	4	BOOT_CFG26	I	启动配置 26，只在启动时供内部锁存使用。
PF_12	0	PF_12	I/O	风扇监控控制信号 12。
	1	UTXD7	O	UART7 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO104	I/O	GPIO104。
	3	SCL14	I/O	I2C14 数据，是 OD 门。
	4	BOOT_CFG27	I	启动配置 27，只在启动时供内部锁存使用。
PF_13	0	PF_13	I/O	风扇监控控制信号 13。
	1	URXD8	I	UART8 RX 接收数据信号，可配置为八个 UART 口中的任何一个。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	2	GPIO105	I/O	GPIO105。
	3	SDA14	I/O	I2C14 时钟，是 OD 门。
	4	BOOT_CFG28	I	启动配置 28，只在启动时供内部锁存使用。
PF_14	0	PF_14	I/O	风扇监控控制信号 14。
	1	UTXD8	O	UART8 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO106	I/O	GPIO106。
	3	-	-	-
	4	BOOT_CFG29	I	启动配置 29，只在启动时供内部锁存使用。
PF_15	0	PF_15	I/O	风扇监控控制信号 15。
	1	URXD9	I	UART9 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO107	I/O	GPIO107。
	3	-	-	-
	4	BOOT_CFG30	I	启动配置 30，只在启动时供内部锁存使用。
PF_16	0	PF_16	I/O	风扇监控控制信号 16。
	1	UTXD9	O	UART9 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO108	I/O	GPIO108。
	3	-	-	-
	4	BOOT_CFG31	I	启动配置 31，只在启动时供内部锁存使用。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
PF_17	0	PF_17	I/O	风扇监控控制信号 17。
	1	URXD10	I	UART10 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO109	I/O	GPIO109。
	3	-	-	-
	4	BOOT_CFG32	I	启动配置 32，只在启动时供内部锁存使用。
PF_18	0	PF_18	I/O	风扇监控控制信号 18。
	1	UTXD10	O	UART10 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO110	I/O	GPIO110。
	3	-	-	-
	4	BOOT_CFG33	I	启动配置 33，只在启动时供内部锁存使用。
PF_19	0	PF_19	I/O	风扇监控控制信号 19。
	1	URXD11	I	UART11 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO111	I/O	GPIO111。
	3	-	-	-
	4	BOOT_CFG34	I	启动配置 34，只在启动时供内部锁存使用。
RTC_CLK	0	RTC_CLK	I	HOSTRTC 输入的基准计数时钟。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	UTXD11	O	UART11 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO112	I/O	GPIO112。
	3	-	-	-
	4	BOOT_CFG35	I	启动配置 35，只在启动时供内部锁存使用。
TCK0_S	-	专用管脚	I/O	JTAG0 时钟信号。
TRSTN0_S	-	专用管脚	I/O	JTAG0 复位信号。
TMS0_S	-	专用管脚	I/O	JTAG0 TMS 信号。
TDI0_S	-	专用管脚	I/O	JTAG0 TDI 信号。
TDO0_S	-	专用管脚	I/O	JTAG0 TDO 信号。
PECITX	0	PECITX	O	PECI 数据输出信号。
	1	SDA16	I/O	I2C16 数据，是 OD 门。
	2	GPIO57	I/O	GPIO57。
	3	BOOT_CFG54	I	启动配置 54，只在启动时供内部锁存使用。
PECIRX	0	PECIRX	I	PECI 数据输入信号。
	1	SCL16	I/O	I2C16 时钟，是 OD 门。
	2	GPIO58	I/O	GPIO58。
	3	BOOT_CFG55	I	启动配置 55，只在启动时供内部锁存使用。
ESPI_RSTN	0	ESPI_RSTN	I	ESPI 复位信号，低有效。
	1	LPCS_RST	I	LPC Slave 复位信号。
ESPI_CS	0	ESPI_CS	I	ESPI 片选信号。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	LPCS_LFRAME	I	LPC Slave 帧起始信号。
	2	GPIO59	I/O	GPIO59。
ESPI_CK	0	ESPI_CK	I	ESPI 伴随时钟。
	1	LPCS_CLK	I	LPC Slave 时钟信号。
ESPI_D0	0	ESPI_D0	I/O	ESPI 的数据 bus bit0。
	1	LPCS_LAD0	I/O	LPC Slave 数据信号 0。
	2	GPIO60	I/O	GPIO60。
ESPI_D1	0	ESPI_D1	I/O	ESPI 的数据 bus bit1。
	1	LPCS_LAD1	I/O	LPC Slave 数据信号 1。
	2	GPIO61	I/O	GPIO61。
ESPI_D2	0	ESPI_D2	I/O	ESPI 的数据 bus bit2。
	1	LPCS_LAD2	I/O	LPC Slave 数据信号 2。
	2	GPIO62	I/O	GPIO62。
ESPI_D3	0	ESPI_D3	I/O	ESPI 的数据 bus bit3。
	1	LPCS_LAD3	I/O	LPC Slave 数据信号 3。
	2	GPIO63	I/O	GPIO63。
ESPI_ALT	0	ESPI_ALT	I/O	ESPI slave 输出的状态指示。
	1	LPCS_IRQ	I/O	LPC Slave 串行中断信号。
PORN	-	专用管脚	I	上电复位信号输入，低电平有效。
RSTN	-	专用管脚	I	warm reset 复位，低电平有效。
PCIE0_RSTN_INT	-	专用管脚	I	PCIE0 的复位请求信号，低电平有效。
PCIE1_RSTN_INT	-	专用管脚	I	PCIE1 的复位请求信号，低电平有效。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
SD_CLK	0	SD_CLK	O	SDIO 时钟输出。
	1	URXD12	I	UART12 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO113	I/O	GPIO113。
	3	USB2_HUB_VBUS_CTRL	O	Vbus 开关；USB2.0 作为 HOST 时需要。
	4	BOOT_CFG36	I	启动配置 36，只在启动时供内部锁存使用。
SD_POWEREN	0	SD_POWEREN	O	SDIO 卡上电使能。
	1	UTXD12	O	UART12 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO114	I/O	GPIO114。
	3	USB2_HUB_PORT_OVERCUR	I	Vbus 是否过流指示信号;USB2.0 作为 HOST 时需要。
	4	BOOT_CFG37	I	启动配置 37，只在启动时供内部锁存使用。
SD_CD	0	SD_CD	I	SDIO 卡在位检测信号。
	1	URXD13	I	UART13 RX 接收数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO115	I/O	GPIO115。
	3	USB3_HUB_VBUS_CTRL	O	Vbus 开关；USB3.0 作为 HOST 时需要。
	4	BOOT_CFG38	I	启动配置 38，只在启动时供内部锁存使用。
SD_CMD	0	SD_CMD	I/O	SDIO CMD 信号。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	1	UTXD13	O	UART13 TX 发送数据信号，可配置为八个 UART 口中的任何一个。
	2	GPIO116	I/O	GPIO116。
	3	USB3_HUB_PORT_OVERCUR	I	Vbus 是否过流指示信号;USB3.0 作为 HOST 时需要。
	4	BOOT_CFG39	I	启动配置 39，只在启动时供内部锁存使用。
SD_DAT0	0	SD_DAT0	I/O	SDIO 数据线 bit0 。
	1	JTAG1_TCK(T)	O	JTAG MASTER1 时钟输出。
	2	GPIO117	I/O	GPIO117。
	3	UCTS12	I	UART 12 CTS 信号。
	4	BOOT_CFG40	I	启动配置 40，只在启动时供内部锁存使用。
SD_DAT1	0	SD_DAT1	I/O	SDIO 数据线 bit1。
	1	JTAG1_TRSTN(T)	O	JTAG MASTER1 复位信号，低电平有效。
	2	GPIO118	I/O	GPIO118。
	3	URTS12	O	UART 12 RTS 信号。
	4	BOOT_CFG41	I	启动配置 41，只在启动时供内部锁存使用。
SD_DAT2	0	SD_DAT2	I/O	SDIO 数据线 bit2。
	1	JTAG1_TMS(T)	O	JTAG MASTER1 模式选择。
	2	GPIO119	I/O	GPIO119。
	3	UCTS13	I	UART 13 CTS 信号。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
	4	BOOT_CFG42	I	启动配置 42，只在启动时供内部锁存使用。
SD_DAT3	0	SD_DAT3	I/O	SDIO 数据线 bit3。
	1	JTAG1_TDI(T)	O	JTAG MASTER1 数据输出。
	2	GPIO120	I/O	GPIO120。
	3	URTS13	O	UART13 RTS 信号。
	4	BOOT_CFG43	I	启动配置 43，只在启动时供内部锁存使用。
SD_WP	0	SD_WP	I	SDIO 写保护。
	1	JTAG1_TDO(T)	I	JTAG MASTER1 数据输入。
	2	GPIO121	I/O	GPIO121。
	3	UCTS9	I	UART9 CTS 信号。
	4	BOOT_CFG44	I	启动配置 44，只在启动时供内部锁存使用。
TESTMODE0	-	专用管脚	I	{TESTMODE1,TESTMODE0}11 : DFT 模式。00：功能下的 A55 访问模式； 01：功能模式下菊花链方式的访问模式；10：功能模式下的安全的 M3 访问模式。
TESTMODE1	-	专用管脚	I	{TESTMODE1,TESTMODE0}11 : DFT 模式。00：功能下的 A55 访问模式；01：功能模式下菊花链方式的访问模式； 10：功能模式下的安全的 M3 访问模式。
SEC_GPIO0	-	专用管脚	I/O	片外安全专用 GPIO0。
SEC_GPIO1	-	专用管脚	I/O	片外安全专用 GPIO1。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
CHIP_ACTIVE	0	CHIP_ACTIVE	O	芯片心跳输出。
	1	-	-	-
	2	GPIO122	I/O	GPIO122。
	3	-	-	-
	4	STRAP9	I	STRAP 管脚 9。 启动配置 45，只在启动时供内部锁存使用。
PECI	-	专用管脚	I/O	PECI 单线信号。
VGA_SCL	0	VGA_SCL	I/O	VGA I2C 时钟信号。
	1	-	-	-
	2	GPIO123	I/O	GPIO123。
	3	UCTS10	I	UART10 CTS 信号。
	4	BOOT_CFG71	I	启动配置 71，只在启动时供内部锁存使用。
VGA_SDA	0	VGA_SDA	I/O	VGA I2C 数据信号。
	1	-	-	-
	2	GPIO124	I/O	GPIO124。
	3	URTS10	O	UART10 RTS 信号。
	4	BOOT_CFG72	I	启动配置 72，只在启动时供内部锁存使用。
VGA_HYNC	0	VGA_HYNC	I/O	VGA 行同步信号。
	1	-	-	-
	2	GPIO125	I/O	GPIO125。
	3	UCTS11	I	UART11 CTS 信号。
	4	BOOT_CFG46	I	启动配置 46，只在启动时供内部锁存使用。

版权所有 © 海思技术有限公司

管脚名称	功能编号	管脚信号	方向	信号说明
VGA_VYNC	0	VGA_VYNC	I/O	VGA 场同步信号。
	1	-	-	-
	2	GPIO126	I/O	GPIO126。
	3	URTS11	O	UART11 RTS 信号。
	4	BOOT_CFG47	I	启动配置 47，只在启动时供内部锁存使用。

说明

- 坐标位置请参见 2.4 管脚详细描述章节中的描述。
- 每个管脚的第一行为默认功能，从上往下的行数为该功能所需配置的寄存器值，STRAP 和 BOOT_CFG 相关管脚只在启动时有效。
- 上述复用配置参见《Hi3093 通用 MPU 芯片 用户指南》“IOCOFIG”章节。
- 功能序号即为该复用管脚对应的复用寄存器值，配置 NA 对应的值会指向默认功能，0 对应的值为默认功能。
- 信号名后含有“T”的代表该信号复用关系在 IOCONFIG（T）中，“R”代表该信号复用关系在 IOCONFIG（R）中，详细请参考《Hi3093 通用 MPU 芯片 用户指南》“IOCOFIG”章节。

2.6 上电配置管脚描述

表2-19 芯片上电配置管脚说明

信号名	所在管脚	含义
STRAP0	LB_ADDR0	启动 flash 指定。（strap[1:0]） 00：spi flash（A55 从 spi 启动）； 01：LocalBus（A55 从 LocalBus 启动）； 10：eMMC（安全核从 ROM 启动）； 11：保留。
STRAP1	LB_ADDR1	

版权所有 © 海思技术有限公司

STRAP2	LB_ADDR3	非安全启动时启动核设置。（strap[2]） 0：非安全启动时 A55 先启动； 1：非安全启动时安全核先启动。
STRAP3	LB_ADDR4	双 BIOS 启动配置。（strap[3]） 0：不使能双 BIOS； 1：使能双 BIOS。
STRAP4	LB_ADDR5	指定双 BIOS 启动时，BIOS 区间大。（strap[4]）（该管脚值仅在双 BIOS 有效时有意义）。 0：1MB； 1：2MB。
STRAP5	LB_ADDR6	SFC0 的 flash 地址长度模式。(strap[5]) 0：3Byte； 1：4Byte。
STRAP6	LB_ADDR7	localBus 启动偏移地址配置。(strap[6]) 0：不偏移； 1：偏移。
STRAP7	LB_ADDR8	localBus 接口启动位宽。（strap[7]） 0：8bit； 1：16bit。
STRAP8	LB_ADDR9	Jtag 复用默认模式选择。（strap[8]） 0：默认模式为 master 模式； 1：默认模式为 slave 模式。
STRAP9	CHIP_ACTIVE	LPC/ESPI 复位信号复位 PCIe 使能。(strap[9]) 0：不复位 PCIe 模块； 1：复位 PCIe 模块。

版权所有 © 海思技术有限公司

STRAP10	RMII1_TXD1	芯片观测管脚输出使能。（strap[10]） 0：不输出观测管脚； 1：输出观测管脚。

说明

其他上电采样管脚（所有 BOOTCFG 和其他 STRAP）所采样的值会被内部寄存器寄存，供软件使用。

2.7 不使用管脚的处理方式说明

对于不使用的管脚，请参见 2.5 复用管脚列表章节中该管脚的默认功能、方向和上/下拉方式决定如何处理。特别需要留意复用了控制功能的管脚。

以下必须遵守：

- 对于模式控制管脚：STRAP，BOOT_CFG，TEST_MODE0/1 信号建议根据单板的情况选择上/下拉，不要悬空。
- 对于 BOOT_CFG 功能，如果需要使用，则必须考虑对所在管脚功能信号的影响。
- SerDes RESREF0/1 必须接上电阻。
- GPIO 默认均为输入、上拉，复用了 BOOT_CFG 的信号建议同模式控制管脚一样，根据单板的情况选择上/下拉，不要悬空。
- 复用了 BOOT_CFG 的 LocalBus 信号根据单板的情况选择上/下拉，不要悬空。
- USB 参考电阻必须接上，具体管脚和阻值请参见 2.4.5 USB 接口章节。
- 其他不使用的数字低速接口的信号，默认功能为输出的悬空，默认功能为输入的上/下拉为无效或不使能的电平。

以下为建议处理方式：

- 对于时钟输入管脚，如果明确不使用，建议通过下拉电阻接地；对于时钟输出管脚，可以悬空。
- USB 不使用的时候，VBUS 可以悬空。
- 不用的 DQ 线可以悬空。
- 不使用的 SerDes 管脚可以悬空（配置为 power down）。

版权所有 © 海思技术有限公司

3 时钟

3.1 概述

Hi3093 的外部时钟管脚有 3 类，分别是系统参考时钟、SerDes 的参考时钟、并行接口的接口时钟。详细的应用描述请参见《Hi3093 通用 MPU 芯片 用户指南》的“时钟”章节。

表3-1 Hi3093 时钟列表

时钟管脚名称	频率（MHz）	时钟类型	功能
CORE_REF	25	1.8V LVCMOS	系统参考时钟输入。
TCK0_S	25	3.3V LVCMOS	JTAG0 时钟输入 Master 或者 Slave。
SD_DAT0	10	3.3V LVCMOS	JTAG1 Master 时钟输出。
PCIE0 _REF_P	100	0.9V CML	PCIE0 SerDes 正向差分参考时钟输入。
PCIE0 _REF_N	100	0.9V CML	PCIE0 SerDes 负向差分参考时钟输入。
PCIE1 _REF_P	100	0.9V CML	PCIE1 SerDes 正向差分参考时钟输入。
PCIE1 _REF_N	100	0.9V CML	PCIE1 SerDes 负向差分参考时钟输入。

版权所有 © 海思技术有限公司

时钟管脚名称	频率（MHz）	时钟类型	功能
GE_REF_P	100	0.9V CML	SGMII0/1 SerDes 正向差分参考时钟输入。
GE_REF_N	100	0.9V CML	SGMII0/1 SerDes 负向差分参考时钟输入。
USB3_REF_P	100	0.9V CML	USB3 SerDes 正向差分参考时钟输入。
USB3_REF_N	100	0.9V CML	USB3 SerDes 负向差分参考时钟输入。
ESPI_CK	66	1.8V LVCMOS	LPC 时钟或者 ESPI 伴随时钟。
RMII0_CLK	50	3.3V LVCMOS	RMII0 时钟输入 JTAG1 MASTER 的时钟输出。
RMII1_CLK	50	3.3V LVCMOS	RMII1 时钟输入。
HOSTRTC_CLK	10	3.3V LVCMOS	HOSTRTC 计数时钟。
DDR_CKP	1200	1.2V POD	DDR 输出正向时钟。
DDR_CKN	1200	1.2V POD	DDR 输出负向时钟。
MDIO_CLK	12.5	3.3V LVCMOS	MDIO 时钟信号。
SFC0_CK	50	3.3V LVCMOS	SFC0 输出时钟。
SFC1_CK	50	3.3V LVCMOS	SFC1 输出时钟。
SDIO_CLK_OUT	33	3.3V LVCMOS	SPI0 接口时钟。
PWM_FAN_6	33	3.3V LVCMOS	SPI1 接口时钟。
SDIO_CLK_OUT	50	3.3V LVCMOS	SDIO 接口时钟。

版权所有 © 海思技术有限公司

时钟管脚名称	频率（MHz）	时钟类型	功能
eMMC_CLK	100	1.8V LVCMOS	eMMC 接口时钟。
eMMC_DS	100	1.8V LVCMOS	eMMC data strobe 信号。
LOCAL_BUS_ALE	0.008	3.3V LVCMOS	SGPIO0 接口时钟。
LOCAL_BUS_RD	0.008	3.3V LVCMOS	SGPIO1 接口时钟。

说明

- 上述时钟频率为最高频率，具体的时钟频率信息请参见各接口的详细描述章节。
- SerDes 参考时钟可以为满足其电气特性要求的其它电平类型。

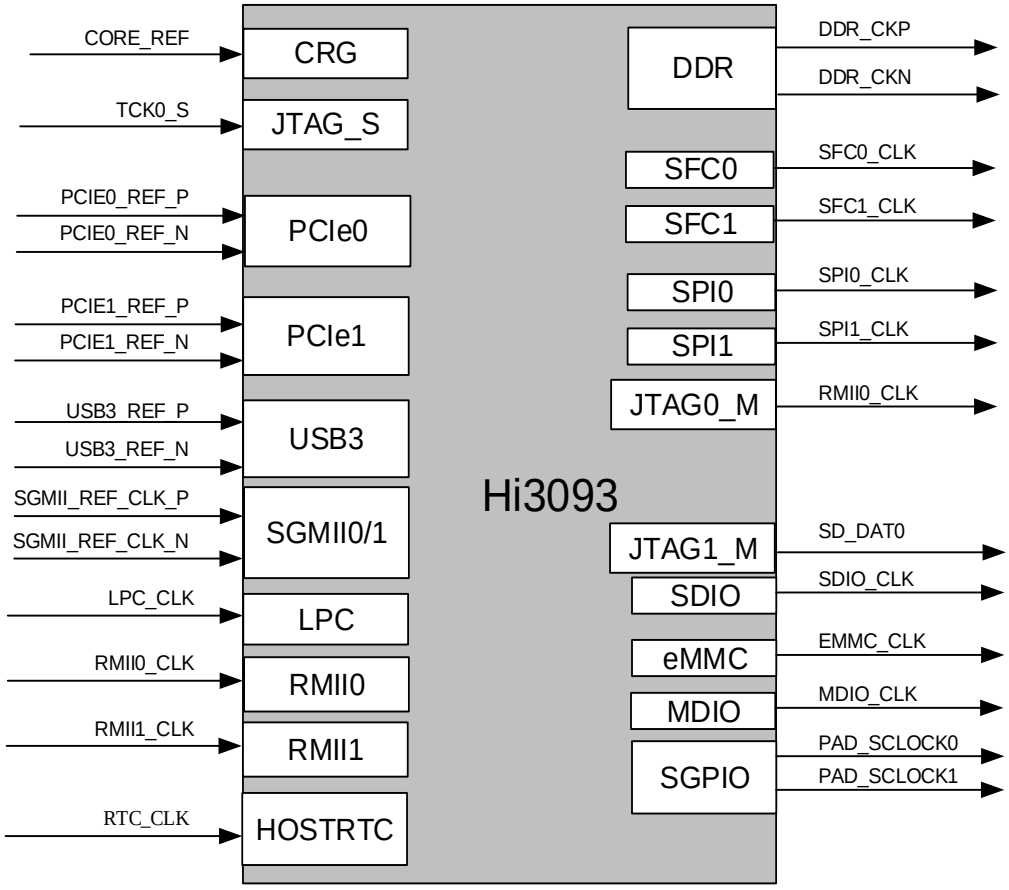
3.2 时钟结构

Hi3093 的时钟框图如图 3-1 所示。输入的参考时钟共三类：

- 主参考时钟，主参考时钟用于产生芯片所需要的大部分工作时钟，其细节在下文有描述。
- 高速接口 SerDes 的参考时钟，用于给内部 SerDes 提供参考时钟，其细节参见 20 SerDes 接口章节描述。
- 其它低速接口的接口时钟，一部分是片外提供给 Hi3093 驱动内部接口相关的逻辑 ，另一部分是 Hi3093 输出给对接芯片驱动相关接口逻辑，各接口的时钟在各自接口章节有描述，因此不重复描述。

版权所有 © 海思技术有限公司

图3-1 时钟框图



Hi3093 芯片的工作时钟主要由四个 PLL 产生，四个 PLL 的参考时钟为管脚输入参考时钟 CORE_REF，其中 CPLL 输出时钟供 A55 使用。PPLL0 输出时钟供外设的接口和总线使用，同时供 USB2 PHY 作为参考时钟。PPLL1 输出时钟供 DDR 模块和总线时钟。PPLL2 输出时钟供 GPU 和 VGA 模块使用。

3.3 时钟应用和配置说明

时钟的配置请参见《Hi3093 通用 MPU 芯片 用户指南》的“时钟”章节。

3.3.1 时钟配置管脚

无。

版权所有 © 海思技术有限公司

3.3.2 时钟 DFX

无。

3.4 时钟应用约束

时钟参考请参见《Hi3093 通用 MPU 芯片 用户指南》“时钟”章节。

3.5 时钟电气参数

3.5.1 系统参考时钟电气参数

3.5.1.1 系统参考时钟输入电气参数（单端输入模板）

系统参考时钟输入电气参数请参见 24.5 时钟参数章节。

3.5.1.2 SerDes 时钟输入电气参数

SerDes 参考时钟输入电气参数请参见 24.5 时钟参数章节。

3.6 时钟单板电路设计建议

3.6.1 单板原理图

Hi3093 的 SerDes 的差分参考时钟可为 CML 或者 LVDS 以及其它满足电气要求的其它差分电平类型，SerDes 模块时钟内部集成有耦合电容，因此单板 PCB 上可以不集成耦合电容，需要满足 24.5 时钟参数章节的电气参数要求，其原理图如图 3-2 所示。

也可以在单板上集成耦合电容，需要满足 24.5 时钟参数章节的电气参数要求，两个电容之间需要提供共模电平，图中电阻即为共模电平偏置网络，板级设计可自行选择电阻值，电阻比例需满足共模电平要求，推荐使用 k 级以上，避免引入反射问题，耦合电容容值为 100nF，其原理图如图 3-4 所示。

不集成耦合电容的方案也可参考原理 SerDes 参考时钟内部末端无匹配电阻。板级需根据仿真结果选是否需要添加匹配电阻。

版权所有 © 海思技术有限公司

图3-2 SerDes 参考时钟单板不集成耦合电容单板设计参考一

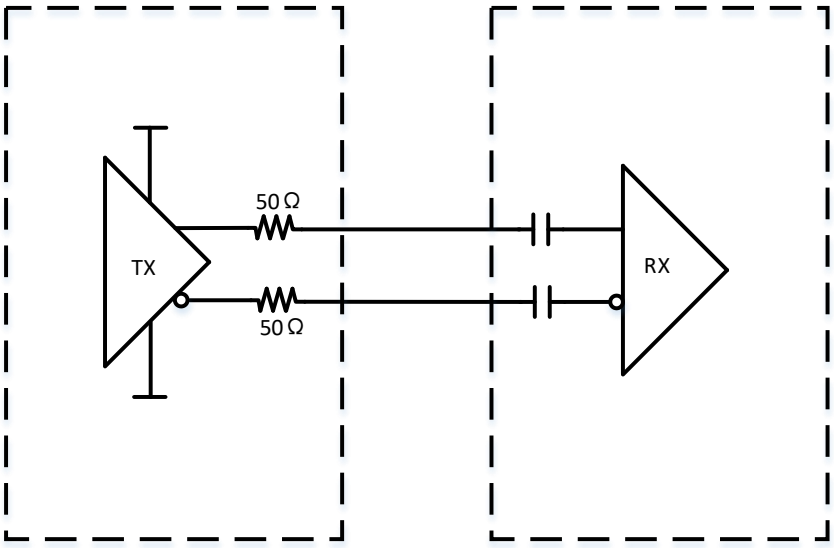
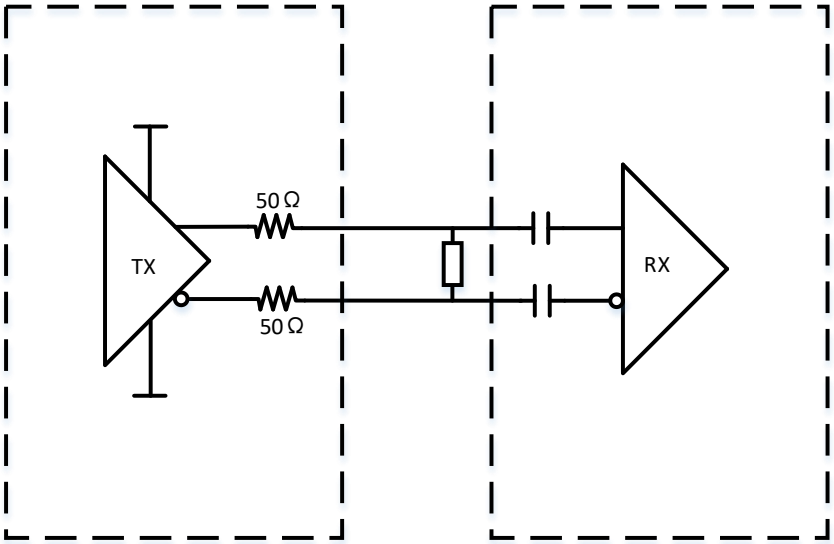
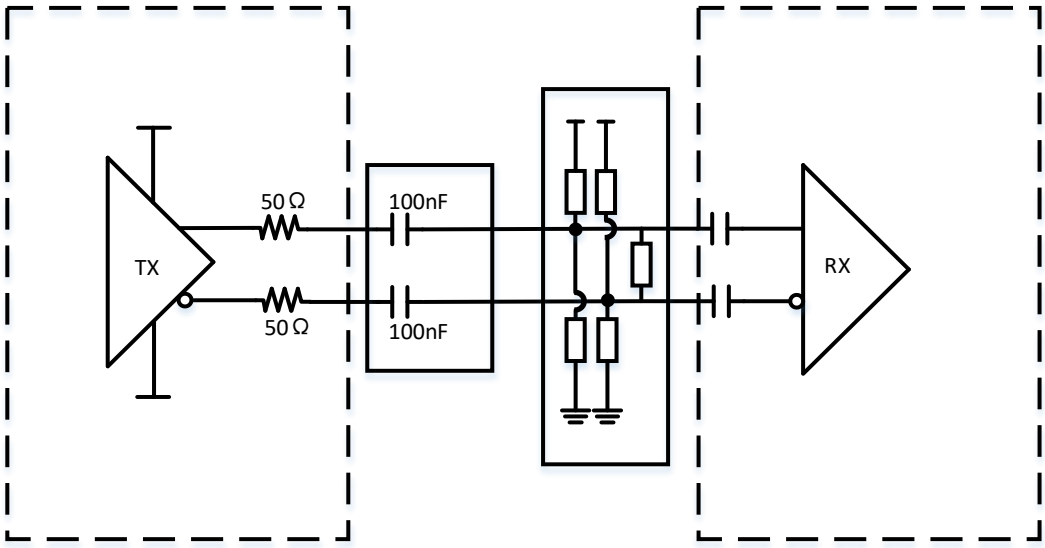


图3-3 SerDes 参考时钟单板不集成耦合电容单板设计参考二



版权所有 © 海思技术有限公司

图3-4 SerDes 参考时钟单板集成耦合电容单板设计参考



3.6.2 单板 PCB

SerDes 单板参考时钟的详细设计指导请参见 27.2.1 SerDes 接口布线指导章节描述。

3.6.3 单板调测

无。

3.7 板级仿真

3.7.1 环境建立

3.7.1.1 SerDes 接口系统仿真模型示例

无。

3.7.2 单板调测

无。

版权所有 © 海思技术有限公司

3.8 注意事项

无。

版权所有 © 海思技术有限公司

4 复位

4.1 概述

Hi3093 包括 BMC 和 HOST 两个独立复位域。各复位域支持管脚触发复位。BMC 复位域还支持内部 watchdog 触发复位。同时 Hi3093 可通过寄存器触发各复位域复位，该功能作为 DFX 手段。BMC 域包括安全子系统和非安全子系统两部分，安全子系统复位时，非安全子系统同时也进行复位。非安全子系统单独复位时，安全子系统不受影响。Watchdog 触发的复位域可通过寄存器设置。

Hi3093 复位有以下特性：

- 支持管脚控制上电复位及热复位。
- 支持系统软件复位。
- 支持功能模块软件复位。
- 芯片分 3 个复位域：上电复位域、HOST 复位域及 BMC 复位域，分别有管脚控制复位。
- PWM 模块复位可配置为 BMC 域或者上电复位域。
- 支持 PCIe0/1 单独管脚复位，分别由 PCIE0_RST_INT 和 PCIE1_RST_INT 控制。
- BMC 复位域内根据安全性细分为安全和非安全两个子域，如果安全域复位则 BMC 域整体复位。
- watchdog 复位域可配置（chip、bmc，非安全 BMC 3 个域）、复位可屏蔽，复位延时可配。
- 除上电复位，其他复位均有状态记录指示是否发生对应复位；提供协处理器 watchdog 监控，复位原因有记录。
- 状态记录热复位不丢失。
- 芯片提供 1 个复位请求中断管脚。

版权所有 © 海思技术有限公司

- BMC 非安全域复位时输出指示信号（低有效），持续时间可配默认 200ms。

4.2 电路说明

Hi3093 的复位结构如图 4-1 所示。

图4-1 Hi3093 的复位结构图

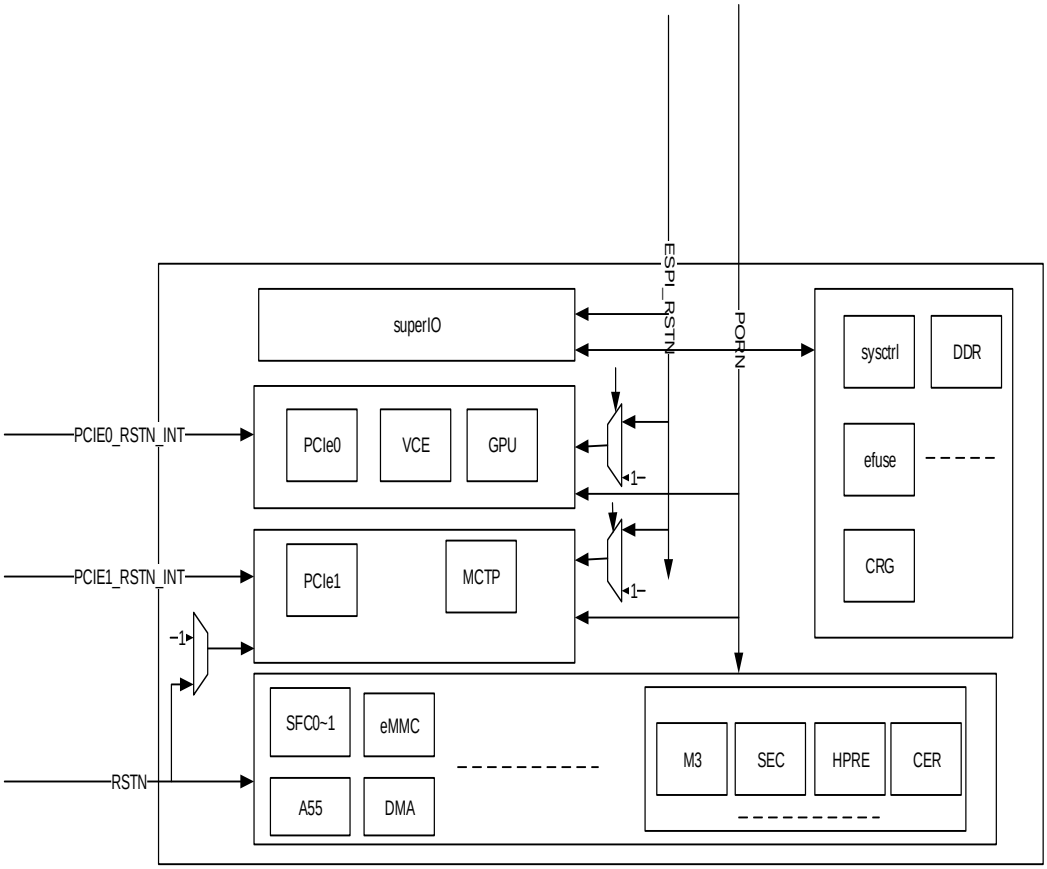


表4-1 各种类型的复位范围描述

复位类型	复位方法	解复位方法	复位范围描述
上电复位	PORN 拉低	PORN 拉高	复位整芯片。

版权所有 © 海思技术有限公司

复位类型	复位方法	解复位方法	复位范围描述
BMC 复位	RSTN 拉低	RSTN 拉高	默认为 BMC 域，包括：USB3.0、SEC、GMAC、SGMII 0/1、RMII 0/1、A55、GIC、DMA、Local bus、SRAM、M3、SFC0、SFC1、SDIO、I2C、Timer、PECI、MDIO、GPIO（可选）、SPI、WDG、PWM、FAN、AD、BMC UART 以及 SYSCTRL 的 BMC 部分，以及外围接口和相应总线，如图 4-1 所示。
HOST 复位	ESPI_RSTN 拉低	ESPI_RSTN 拉高	PCIE0、PCIE1、PCIE SerDes、USB2.00/1/2、MCTP、GPU、DA、除 SOL 外的整个 SUPERIO (LPC&ESPI) 子系统，以及外围接口和相应总线。
PCIE0 接口复位	PCIE0_RSTN_INT 拉低	PCIE0_RSTN_INT 拉高	PCIE0 和 PCIE0 的 SerDes 、GPU 等部分逻辑。
PCIE1 接口复位	PCIE1_RSTN_INT 拉低	PCIE1_RSTN_INT 拉高	PCIE1 和 PCIE1 的 SerDes 、MCTP 等部分逻辑。

4.2.1 软复位

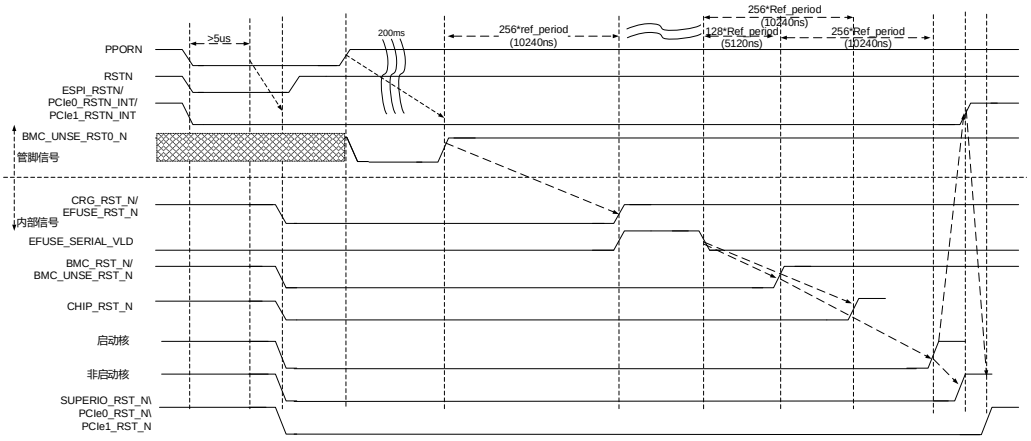
软复位相关描述请参见《Hi3093 通用 MPU 芯片 用户指南》中的“复位”章节。

4.2.2 POR 上电复位

系统上电复位需所有复位控制管脚配合完成，时序如图 4-2 所示。

版权所有 © 海思技术有限公司

图4-2 POR 上电复位时序图



步骤 1 系统电源稳定后，拉低 PORN、RSTN、ESPI_RST N、PCIE0_RSTN_INT、PCIE1_RSTN_INT 并保持超过 5us。

步骤 2 芯片收到管脚复位后经过滤毛刺、同步等模块后把芯片内所有复位信号拉低。

步骤 3 系统先置 RSTN 无效，1us 再置 PORN 无效，并保持 ESPI_RSTN、PCIE0_RSTN_INT、PCIE1_RSTN_INT 处于复位状态。

步骤 4 PORN 无效后芯片 BMC_UNSE_RST0_N 输出为 0 并保持 200ms 后再将 BMC_UNSE_RST0_N 置为无效。

步骤 5 经过 256 个参考时钟周期，硬件释放内部 crg_rst_n 及 efuse_rst_n 并等待 efuse_serial_vld 下降沿。

步骤 6 硬件收到 efuse_serial_vld 下降沿后等待 128 个参考时钟周期释放 bmc_rst_n 及 bmc_unse_rst_n 信号。

步骤 7 再过 128 个参考时钟周期硬件自动释放 chip_rst_n。

步骤 8 等待 128 个参考时钟周期释放启动核复位（a55_rst_n 或 sc_rst_n）。

步骤 9 PORN 释放 250ms 后释放 ESPI_RSTN、PCIE0_RSTN_INT、PCIE1_RSTN_INT 复位。

步骤 10 芯片收到 ESPI_RSTN、PCIE0_RSTN_INT、PCIE1_RSTN_INT 信号无效后释放内部 superio_rst_n、pcie0_rst_n/pcie1_rst_n，整个上电复位过程结束。

----结束

版权所有 © 海思技术有限公司

须知

- PORN 仅用于上电复位控制，不允许单独使用控制整芯片热复位。
- 管脚复位有效时间不短于 5us。
- 请注意 PORN 和 BMC_UNSE_RST0_N 的有效时间长短，可能会出现内部复位解除，外部受 BMC_UNSE_RST0_N 控制的器件仍处于复位状态。

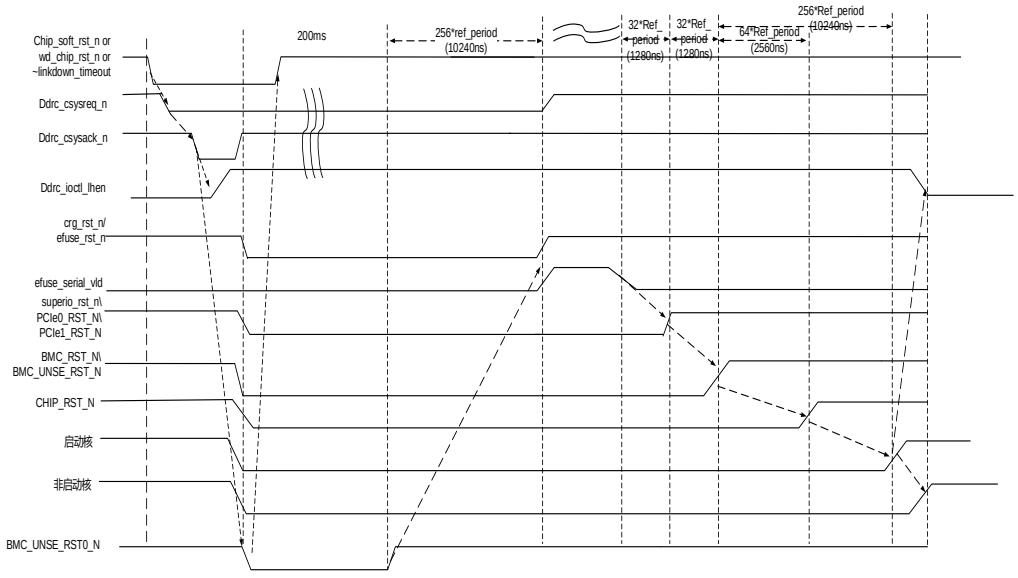
4.2.3 整芯片热复位

整芯片热复位源有三个：软件配置整芯片复位、watchdog 触发整芯片复位、排空模块超时触发整芯片复位。芯片热复位是需系统保证和周边器件复位同步，否则将引起系统异常。芯片热复位时可通过配置 SYSCTRL 模块的 DDRC_CTRL 寄存器的 ddr_reset_retention 位来支持 DDR 数据不丢失。

系统热复位寄存器为 SYSCTRL 模块的 SYS_RST_REQ 寄存器 chip_rst_req。watchdog 复位控制可通过寄存器配置。非安全 watchdog 复位控制配置 SYSCTRL 模块的 WD_CTRL_REG 寄存器，安全 watchdog 复位控制配置 SEC_CSR 模块的 WD6_CTRL_REG 寄存器。如设置为 watchdog 复位整芯片，则 watchdog 挂死时触发整芯片复位。排空操作为子复位域单独复位时为保证其复位不影响其他逻辑而进行的硬件操作，如该过程发生异常未能完成可配置进行整芯片复位。通过配置 SYSCTRL 模块的 XSEMP_TO_CTRL 寄存器，来设置超时时间及是否进行整芯片复位。

热复位流程如图 4-3 所示。

图4-3 整芯片热复位时序图



版权所有 © 海思技术有限公司

步骤 1 内部触发整芯片复位，如支持复位 DDR 数据不丢失则执行步骤 2，不支持则跳到步骤 4。

步骤 2 置 DDRC 的 ddrc_csysreq_n 信号有效，等待 DDRC 发出 ddrc_csysack_n。

步骤 3 硬件收到 ddrc csysack_n 后，自动置 ddrc_ioctl_lhen 为 1。

步骤 4 触发内部复位有效，同时输出 BMC_UNSE_RST0_N 有效并保持 200ms（是否输出及保持时间可通过 sysctrl 模块的 RST_OUT_CTRL_REG 及 RST_OUT_DLY_CFG 配置），系统可以利用该信号对周边器件进行复位。

步骤 5 经过 256 个参考时钟周期，硬件释放 crg_rst_n 和 efuse_rst_n 并等待 efuse_serial_vld 下降沿。如支持 DDR 数据保持同时置 ddrc_csysreq_n 信号无效。

步骤 6 收到 efuse_serial_vld 下降沿后硬件等待 32 个参考时钟周期自动释放 superio_rst_n/pcie0_rst_n/pcie1_rst_n 信号。

步骤 7 等待 32 个参考时钟周期硬件释放 bmc_rst_n 及 bmc_unse_rst_n 信号。

步骤 8 等待 64 个参考时钟周期硬件释放 chip_rst_n。

步骤 9 等待 192 个参考时钟周期释放启动核复位（a55_rst_n 或 sc_rst_n）。

步骤 10 软件配置释放非启动核复位。如支持 DDR 数据保存则先恢复 DDRC 配置（详细流程参考《Hi3093 通用 MPU 芯片 用户指南》的“DDR”章节），然后配置 SYSCTRL 模块的 DDRC_CTRL 寄存器的 ddrc_ioctl_lhen_clr 位，置 ddrc_ioctl_lhen 为 0。整个复位过程结束。

----结束

须知

- BMC_UNSE_RST0_N 有效时间需要根据外部器件的要求进行合理的配置。
- 图 4-3 中除 BMC_UNSE_RST0_N 以外，其它都为芯片内部信号。
- 如果没有 DDR 数据保持需求，步骤 2 和步骤 3 可以忽略。

4.2.4 BMC 域单独复位

BMC 域可通过管脚、软件、watchdog 触发单独复位。触发 BMC 域单独复位管脚为 RSTN。软件通过配置 SYSCTRL 模块的 SYS_RST_REQ 寄存器 bmc_rst_req 位来触

版权所有 © 海思技术有限公司

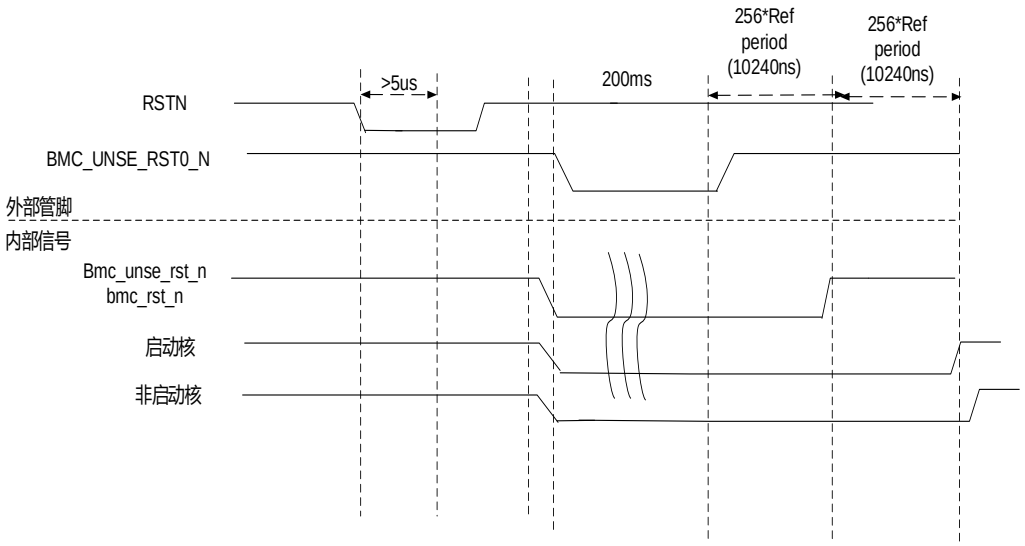
发 BMC 域单独复位管脚。watchdog 复位控制可通过寄存器配置。非安全 watchdog 复位控制配置 SYSCTRL 模块的 WD_CTRL_REG 寄存器，安全 watchdog 复位控制配置 SEC_CSR 模块的 WD6_CTRL_REG 寄存器。如设置为 watchdog 复位 BMC 域，则 watchdog 挂死时触发 BMC 域单独复位。

BMC 域单独复位时不影响其他域正常工作。硬件通过触发域接口排空模块进行排空操作，排空后才进行真正的复位来实现域复位，从而不对其他部分逻辑影响。在整个排空操作中如软件跨域进行读访问接口排空模块会自动返回全 1，写访问会被屏蔽。

4.2.4.1 管脚触发 BMC 域复位

系统通过 RSTN 触发 BMC 域复位，复位流程如图 4-4 所示。

图4-4 BMC 域单独复位时序图



步骤 1　系统拉低 RSTN 超过 5us，触发 BMC 域复位流程。

步骤 2　BMC_UNSE_RST0_N 保持时间为 RST_OUT_DLY_CFG 配置，默认为 200ms，也可通过 sysctrl 模块的 RST_OUT_CTRL_REG 设置跳过该步骤。

步骤 3　超过 XSEMP_TO_CTRL 设定时间则认为排空超时。排空超时根据 XSEMP_EN 寄存器的 bmc_xsemp_to_ctrl 设置选择进行复位行为控制。

步骤 4　硬件置 BMC_UNSE_RST0_N 为 1，等待 256 个参考时钟周期，如此时 RSTN 无效则硬件自动释放 bmc_unse_rst_n 和 bmc_rst_n。如 RSTN 有效则等待 RSTN 无效时再置 bmc_unse_rst_n 和 bmc_rst_n 无效，同时置 bmc_xsemp_linkdown 无效。

版权所有 © 海思技术有限公司

步骤 5 释放 bmc_unse_rst_n 和 bmc_rst_n 无效后 256 个参考时钟周期，硬件置启动核（a55 或者 sc）复位无效。

步骤 6 软件配置释放其他核的复位。复位流程结束。

----结束

须知

- 系统需使用 BMC_UNSE_RST0_N 复位周边相关器件保证系统工作正常。
- RSTN 复位有效时间不得小于 5us。
- BMC_UNSE_RST0_N 的有效时间需要适配外部器件。

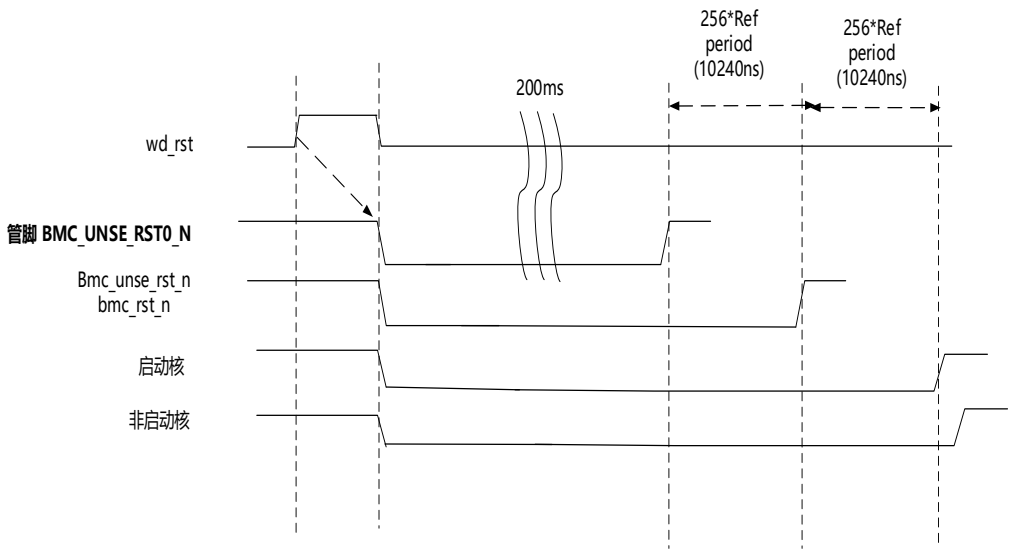
4.2.4.2 软件触发 BMC 域复位

软复位相关描述请参见《Hi3093 通用 MPU 芯片 用户指南》中的“复位模块”章节。

4.2.4.3 watchdog 触发 BMC 域复位

非安全 watchdog 复位控制配置 SYSCTRL 模块的 WD_CTRL_REG 寄存器，安全 watchdog 复位控制配置 SEC_CSR 模块的 WD6_CTRL_REG 寄存器。如设置为 watchdog 复位 BMC 域，则 watchdog 挂死时触发 BMC 域复位。

图4-5 watchdog 触发 BMC 复位时序图



版权所有 © 海思技术有限公司

步骤 1 Watchdog 挂死后经过 WD_DLY_CFG 个参考时钟周期后，硬件根据配置置 wd_bmc_rst_n 为低，触发 BMC 域复位流程。

步骤 2 Hi3093 检测到 watchdog 复位请求上升沿经过内部处理后，同时置 bmc_unse_rst_n、bmc_rst_n、m3_rst_n、a55_rst_n、sc_rst_n 有效。

步骤 3 BMC_UNSE_RST0_N 保持时间为 RST_OUT_DLY_CFG 配置，也可通过 sysctrl 模块的 RST_OUT_CTRL_REG 设置跳过该步骤。

步骤 4 硬件置 BMC_UNSE_RST0_N 为 1，等待 256 个参考时钟周期，置 bmc_unse_rst_n 和 bmc_rst_n 无效，同时置 bmc_xsemp_linkdown 无效；Watchdog 也被复位。

步骤 5 等待 256 个参考时钟周期，置 bmc_unse_rst_n 和 bmc_rst_n 无效，同时置 bmc_xsemp_linkdown 无效。

步骤 6 释放 bmc_unse_rst_n 和 bmc_rst_n 无效后 256 个参考时钟周期，硬件置启动核（a55 或者 sc）复位无效。

步骤 7 软件配置释放其他核的复位。复位流程结束。

----结束

须知

- 系统需使用 BMC_UNSE_RST0_N 复位相关周边器件保证系统工作正常。
- 需要根据外部器件的要求进行合理配置以保证全系统的复位时序。
- 图 4-5 中除 BMC_UNSE_RST0_N 以外，其它都为芯片内部信号。

4.2.5 BMC 非安全域单独复位

BMC 非安全域可独立复位，触发非安全域复位的源包括软件复位、watchdog 复位。BMC 非安全复位会触发中断发给安全核，安全核需根据中断进行相应的软件操作已保证业务正常。系统需使用 BMC_UNSE_RST0_N 复位相关周边器件保证系统工作正常。

4.2.5.1 软件触发 BMC 非安全域复位

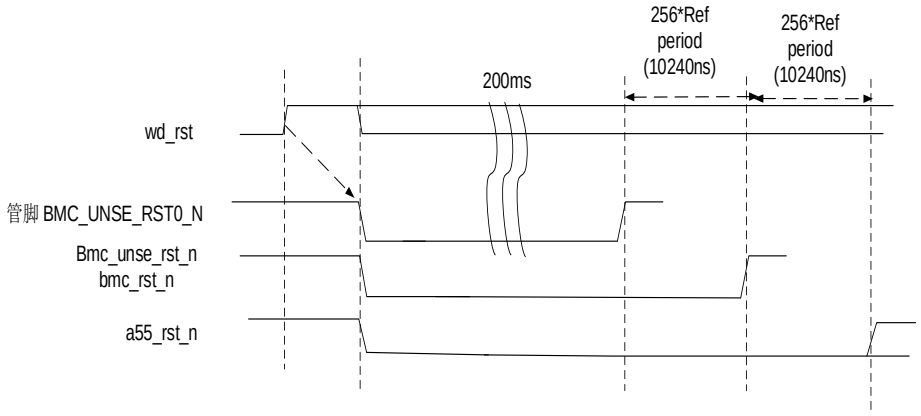
软复位相关描述请参见《Hi3093 通用 MPU 芯片 用户指南》中的“复位模块”章节。

版权所有 © 海思技术有限公司

4.2.5.2 watchdog 触发 BMC 非安全域复位

非安全 watchdog 复位控制配置 SYSCTRL 模块的 WD_CTRL_REG 寄存器，安全 watchdog 复位控制配置 SEC_CSR 模块的 WD6_CTRL_REG 寄存器。如设置为 watchdog 复位 BMC 非安全域，则 watchdog 挂死时触发 BMC 非安全域复位。

图4-6 watchdog 触发 BMC 非安全域复位时序图



步骤 1 Watchdog 挂死后经过 WD_DLY_CFG 个参考时钟周期后，硬件根据配置置 wd_unse_bmc_rst_n 为低，触发 BMC 非安全域复位流程。

步骤 2 Hi3093 检测到 watchdog 复位请求上升沿经过内部处理后，同时置 bmc_unse_rst_n、m3_rst_n、a55_rst_n 有效。

步骤 3 BMC_UNSE_RST0_N 保持时间为 RST_OUT_DLY_CFG 配置，默认 200ms。也可通过 sysctrl 模块的 RST_OUT_CTRL_REG 设置跳过该步骤。

步骤 4 BMC_UNSE_RST0_N 为 1，等待 256 个参考时钟周期，置 bmc_unse_rst_n 无效，同时置 bmc_unse_xsemp_linkdown 无效。

步骤 5 释放bmc_unse_rst_n无效后256个参考时钟周期,如A55为启动核置启动核a55_rst_n复位无效复位流程结束。如 A55 不为启动核，保持 a55_rst_n 复位有效复位流程结束。

----结束

版权所有 © 海思技术有限公司

须知

- 安全域 watchdog 不受非安全域复位影响，需安全核主动清除。
- 图 4-6 中除 BMC_UNSE_RST0_N 以外，其它都为芯片内部信号。
- 系统需使用 BMC_UNSE_RST0_N 复位相关周边器件保证系统工作正常。
- 需要根据外部器件的要求进行合理配置以保证全系统的复位时序。

4.2.6 HOST 域单独复位

HOST 域逻辑用于与 HOST 相连，包括 SuperIO 模块、PCIe0 相关模块、PCIe1 相关模块。

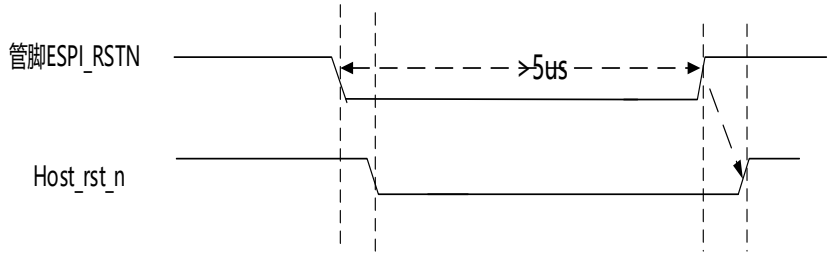
ESPI_RST_N 管脚控制 HOST 域复位。该信号有效时 SuperIO 一定复位。对 PCIe0 相关模块复位同时还受 STRAP 管脚 espi_rst_pcie 控制，仅 espi_rst_pcie 为 1 时 PCIe0 相关模块才受 ESPI_RST_N 管脚控制。PCIe0 相关模块还受 PCIE0_RSTN_INT 管脚控制。对 PCIe1 相关模块复位同时 STRAP 管脚 espi_rst_pcie 及寄存器 pcie1_rst_domain 控制，仅 ESPI_rst_pcie 为 1 时 PCIe0 且 pcie1_rst_domain 为 0 时相关模块才受 ESPI_RST_N 管脚控制，当 pcie1_rst_domain 为 1 时相关模块受 RST_N 管脚控制复位。PCIe1 相关模块还受 PCIE1_RSTN_INT 管脚控制。

HOST 域复位需系统保证与 HOST 侧芯片的配合，否则将导致系统工作不正常。

4.2.6.1 管脚触发 HOST 域单独复位

ESPI_RSTN 拉低超过 5us 则可触发 HOST 域复位，其复位流程如图 4-7 所示。

图4-7 管脚触发 HOST 域单独复位时序图



步骤 1　PAD_ESPI_RSTN 拉低可触发 host 域复位，并保持超过 5us 则。

步骤 2　Hi3093 检测到 PAD_ESPI_RSTN 下降沿经过内部处理后，拉低 host_rst_n。

步骤 3　Host_rst_n 至少保持 256 个参考时钟周期等待 PAD_ESPI_RSTN 无效释放 Host_rst_n。复位流程结束。

版权所有 © 海思技术有限公司

----结束

须知

- PCIe0、PCIe1 相关模块由 strap 管脚及控制寄存器决定是否跟随 hs_rst_n 复位。
- ESPI_RSTN 有效时间不得小于 5us。

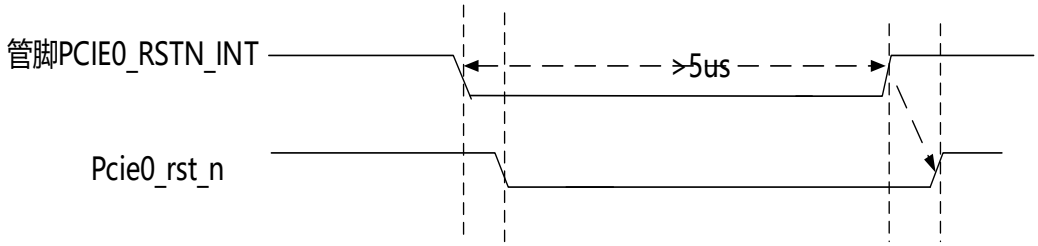
4.2.6.2 软件触发 HOST 域单独复位

软复位相关描述请参见《Hi3093 通用 MPU 芯片 用户指南》中的“复位模块”章节。

4.2.6.3 PCIE0 相关模块单独复位

PCIe0 相关模块除了 strap 管脚 ESPI_rst_pcie 为 1 时受 ESPI_RSTN 管脚控制外，还支持管脚（PCIE0_RSTN_INT）控制复位及软件（SYS_RST_REQ 寄存器 pcie0_rst_req）触发复位，单独复位时需系统保证和对接 PCIe 设备同步复位。其复位时序图如图 4-8 所示。

图4-8 PCIE0 相关模块单独复位时序图



步骤 1 管脚 PCIE0_RSTN_INT 由 1 变成 0 触发 pcie0 相关模块复位流程，并保持超过 5us。

步骤 2 Hi3093 检测到 PCIE0_RSTN_INT 下降沿沿经过内部处理后，拉低 pcie0_rst_n。

步骤 3 Pcie0_rst_n 至少保持 256 个参考时钟周期，管脚 PCIE0_RSTN_INT 复位释放后释放 pcie0_rst_n。复位流程结束。

----结束

说明

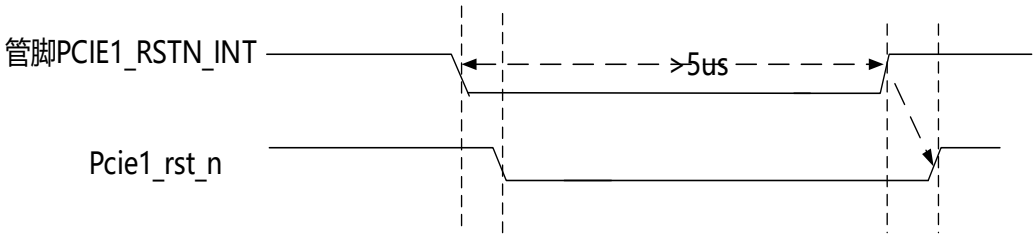
PCIE0_RSTN_INT 有效时间不得短于 5us。

版权所有 © 海思技术有限公司

4.2.6.4 PCIE1 单独复位

PCIe1 相关模块根据 HOST 域或者 BMC 非安全域复位外，可以单独触发复位（PCIE1_RSTN_INT 及 SYS_RST_REQ 寄存器 pcie1_rst_req）。单独复位时需系统保证和对接 PCIe 设备同步复位。PCIE1 单独复位的复位时序如图 4-9 所示。

图4-9 PCIE1 单独复位时序图



步骤 1 管脚 PCIE1_RSTN_INT 由 1 变成 0 触发 pcie1 相关模块复位流程，并保持超过 5us。

步骤 2 Hi3093 检测到 PCIE1_RSTN_INT 下降沿沿经过内部处理后，拉低 pcie1_rst_n。

步骤 3 Pcie1_rst_n 至少保持 256 个参考时钟周期，管脚 PCIE1_RSTN_INT 复位释放后释放 pcie1_rst_n。复位流程结束。

----结束

说明

PCIE1_RSTN_INT 有效时间不得短于 5us。

4.3 复位约束

触发复位时，请保持外部输入芯片的电源和参考时钟稳定。

4.4 单板电路设计建议

4.4.1 单板原理图

无。

版权所有 © 海思技术有限公司

4.4.2 单板 PCB

无。

4.4.3 单板调测

无。

4.5 注意事项

无。

版权所有 © 海思技术有限公司

5 电源输入

5.1 极限电源电压

须知

如表 5-1 所示，“极限电源电压”是芯片工作电压的破坏限，超过破坏限芯片有永久物理损伤的风险。

表5-1 极限电源电压参数

参数	符号	最小值	最大值	单位	备注
数字电源	VDD	-0.6	1.1	V	-
A55 数字电源	VDD10	-0.6	1.1	V	-
GPIO 电源	DVDD33	-0.4	3.63	V	-
GPIO 电源	DVDD18	-0.6	2	V	-
DDR IO 电源	DDR_VDDQ	-0.4	1.975	V	-
PECI IO 电源	DVDD_PECI	-0.3	1.26	V	-
PLL 及 Tsensor 模拟电源	AVDD18	-0.6	2	V	-
USB2 PHY 模拟电源	VDDH18_USB	-0.6	2	V	-

版权所有 © 海思技术有限公司

参数	符号	最小值	最大值	单位	备注
USB2 PHY 模拟电源	AVDD33_USB0~3	-0.4	3.63	V	-
USB2 PHY 数字电源	DVDD09_USB	-0.4	1.1	V	-
efuse 模拟电源	VQPS_EFUSE	-0.6	2.0	V	-
SerDes 数字电源	DVDD09_SERDES	-0.4	1.1	V	-
SerDes 模拟电源	VPH_SERDES	-0.6	2	V	-
DAC 模拟电源	VGA_AVDD18	-0.6	2	V	-
ADC 模拟电源	ADC_AVDD18	-0.6	2	V	-
DAC 的模拟地	VGA_AGND	-	-	V	-
ADC 的模拟地	ADC_AGND	-	-	V	-
数字地	VSS	-	-	V	-

说明

“-”表示无极限电压值，请直接参考推荐工作电压表。

5.2 推荐电源电压

须知

本节的工作电压参数是以 GND 为基准在芯片封装焊球处（@BGA）要求的在时域的电压幅度，该电压为直流（DC）分量、纹波分量、全带宽噪声的叠加总和。

单板设计应用本芯片时，应保证在单板生命周期内都要满足该电压参数要求。

单板设计时应考虑老化和温度等因素的影响：电源输出直流分量的漂移、磁珠阻抗增加引起压降增加、滤波电容容量下降引起纹波幅度增加、去耦电容 ESR/ESL 增加引起噪声幅度增加、测量方法和仪表的测量误差（比如万用表仅能测量到直流分量值，示波器电压测量值不是很精确）等。

版权所有 © 海思技术有限公司

建议单板应用通过设计开发阶段预留足够的余量来保证。

推荐电源电压参数参数如表 5-2 所示。

表5-2 推荐电源电压参数

参数	符号	最小值	典型值	最大值	纹波+噪声参数	单位	备注
数字电源	VDD	0.855	0.9	0.945	AC：±3% DC：±2%	V	-
A55 数字电源	VDD10	0.855	1.0/0.93	1.115/0.988	DC：±2% 0.93V/800M：AC：70mVpp 1.0V/1G：AC:95mVpp	V	-
GPIO 电源	DVDD33	3.135	3.3	3.465	DC+AC：±5%	V	-
GPIO 电源	DVDD18	1.71	1.8	1.89	DC+AC：±5%	V	-
DDR IO 电源	DDR_VDDQ	1.164	1.2	1.236	DC+AC：±3% DC:±2%	V	-
PECI IO 电源	DVDD_PECI	0.9	1.2	1.26	DC+AC：±3%	V	-
PLL 及 Tsensor 模拟电源	AVDD18	1.71	1.8	1.89	AC+DC:±5% DC：±3%	V	-
USB2 PHY 模拟电源	VDDH18_USB	1.746	1.8	1.854	DC+AC:±3% AC：±1%	V	-
USB2 PHY 模拟电源	AVDD33_USB0~3	3.201	3.3	3.399	DC+AC:±3% AC：±1%	V	-

版权所有 © 海思技术有限公司

参数	符号	最小值	典型值	最大值	纹波+噪声参数	单位	备注
USB2PHY 数字电源	DVDD09_USB	0.873	0.9	0.927	DC+AC: ±3% AC: ±1%	V	-
efuse 模拟电源	VQPS_EFUSE	1.71	1.8	1.89	DC+AC:±5% AC: ±1%	V	有在线烧写需求，不可接地。
SerDes 数字电源	DVDD09_SERDES	0.873	0.9	0.927	DC+AC: ±3% AC: ±1%	V	-
SerDes 模拟电源	VPH_SERDES	1.746	1.8	1.854	DC+AC: ±3% AC: ±1%	V	-
DAC 模拟电源	VGA_AVDD18	1.746	1.8	1.854	DC+AC: ±3% AC: ±1%	V	-
ADC 模拟电源	ADC_AVDD18	1.746	1.8	1.854	DC+AC: ±3% AC: ±1%	V	-
DAC 的模拟地	VGA_AGND	-	-	-	-	-	-
ADC 的模拟地	ADC_AGND	-	-	-	-	-	-

版权所有 © 海思技术有限公司

参数	符号	最小值	典型值	最大值	纹波+噪声参数	单位	备注
数字地	VSS	-	-	-	-	-	-

说明

- 表 5-2 的 VDD，VDD10，DVDD33，DVDD18，DDR_VDDQ，DVDD_PECI，AVDD18，VDDH18_USB，AVDD33_USB0~3，DVDD09_USB，VPH_SERDES 等电源电压是参考的 VSS 管脚。
- 表 5-2 的 VGA_AVDD18 电源电压是参考的 VGA_AGND 管脚，ADC_AVDD18 电源电压是参考的 ADC_AGND 管脚。
- DVDD18，DVDD33 电源为 GPIO 提供 IO 电源，DVDD_PECI 为 PECI 提供 IO 电源。
- 芯片在单板上电和下电过程中各电源的时序需满足 5.4 上下电时序章节的要求。
- 各电源的电流请参见 28 功耗章节。
- 单板 UT 测试芯片电源指标时需覆盖电源电流剧烈波动的场景，比如：业务流量和负荷在空载和满载间来回切换的场景、基于单板和系统节能场景的模块（如 SerDes、CPU Core）使能和不使能间的切换等（需求来源：测试单板电源在电源负载电流剧烈波动时会触发电源电压瞬间波动，电源电压波动值除了和电源模块选型有关，也和单板上的大容量电容的容量有关系，有产品单板 UT 电源测试可能只测试业务空载和业务满载的静态场景，未测试业务突发场景，提醒单板硬件专家测试该场景）。

5.3 芯片电源结构

请参考 5.2 推荐电源电压章节。

5.4 上下电时序

Hi3093 上下电约束如下：

1. PECI 要求高压先上，低压后上，即 DVDD_PECI 先上电，VDD 后上电。
2. 3.3V GPIO 要求：0.9V 晚于 1.8V/3.3V 上电；A—1.8V 先上电，3.3V 后上电，1.8V 上电完成时刻（90%）到 3.3V 开始上电时刻（10%），时间间隔大于 20us；3.3V 先下电，1.8V 后下电，3.3V 下电完成时刻（10%）至 1.8V 下电开始时刻（90%），时间间隔大于 20us。B—1.8V 和 3.3V 同时上下电，但需要控制上下电过程中任意时刻满足 3.3V-1.8V≤1.8V。

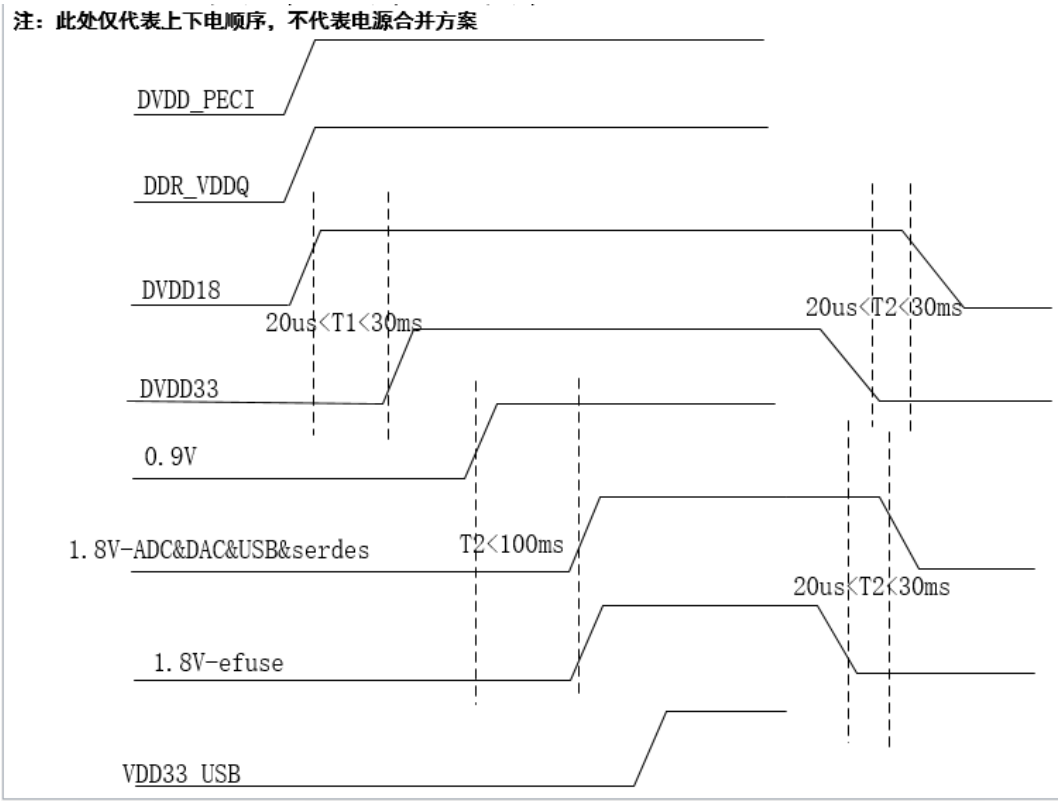
版权所有 © 海思技术有限公司

3. ADC 要求低压数字电源 VDD 先上电，模拟高压 ADC_AVDD18 电源后上电。
4. efuse 要求 0.9V 比 1.8V 先上电后下电；有在线烧写需求，板级需独立供电。
5. DDR 要求 1.2V IO 电源先上电，0.9V core 电源后上电；0.9Vcore 电源先下电，1.2V IO 电源后下电。
6. SerDes 没有上下电顺序要求，但上电要在 100ms 内完成。

须知

第 2 点和第 4 点必须满足，如果不满足，有烧芯片的风险。

图5-1 上电顺序图



说明

如果 DVDD_PECI 的上电时序板级无法满足，可以忽略 DVDD_PECI 时序。为防止信号误操作，板级可以对 BMC 的 PECI 和 HOST 的 PECI 信号进行隔离，待电源稳定后再打开隔离即可。

版权所有 © 海思技术有限公司

须知

如果芯片在单板的上下电时序不满足芯片要求，会存在芯片上电后不能可靠工作、可靠性下降，可能通过芯片内部电路向单板其它电源倒灌电流使得被倒灌电源上电电压不单调进而引起单板其它器件工作异常、甚至芯片电路永久损伤的风险，请单板电源设计满足芯片上下电时序要求。

单板应用时，对接器件必须先下电，再执行 Hi3093 下电序列。

5.5 电源电路设计建议

5.5.1 电源

- 数字电源
  - 数字电源包括 VDD，VDD10，DVDD18，DVDD33。
  - 在单板 PCB 上需为以上四个数字电源分配电源平面，去耦滤波电容尽量靠近芯片相应的电源管脚。当 A55 跑 800MHz 及以下时，VDD 供 0.9V 电源，VDD10 供 0.93V 电源；当 A55 跑 800MHz 以上时，VDD 和 VDD10 在板级分开，VDD 供 0.9V 电源，VDD10 供 1.0V 电源。
  - 数字地：VSS 平面必须保证完整。
- DDR 接口 IO 电源
  - DDR_VDDQ 是 DDR 的接口 IO 电源，板级 PCB 上需分配电源平面，降低该电源网络的电感，滤波电容应靠近管脚摆放。
  - VSS 平面必须保证完整。
- USB 电源
  - USB 电源包括 DVDD09_USB，VDDH18_USB，AVDD33_USB0~3。
  - DVDD09_USB 为 USB2.0 的数字电源，板级可与 DVDD09_SERDES 电源合并。
  - VDDH18_USB 为 USB2.0 的模拟电源，由 VREGBYPASS=1’b1 配置为 1.8V。板级 PCB 上可与 VPH_SERDES 合并。
  - AVDD33_USB0~3 为 USB2.0 的模拟电源，需单独分开供电。在 FS 模式下，AVDD33_USB0~3 的噪声很大，约 300mV，在 HS 模式下，AVDD33_USB0~3 的噪声约 30mV。为避免工作在 FS 模式下的 USB 干扰工作在 HS 模式的 USB，板级设计需要做好 AVDD33_USB0~3 电源内部和外部其他电源间的隔离。到电源管脚的供电路径尽量使用电压岛或电源平面的方式；若采用走线，需要尽量

版权所有 © 海思技术有限公司

短、粗，并且原理其他高速或大电流驱动信号。不限空间允许的话，尽量使用地线屏蔽防护，去耦滤波电容靠近管脚摆放。

- SERDES 电源
  - SERDES 电源包括 DVDD09_SERDES 和 VPH_SERDES。
  - DVDD09_SERDES 为 SERDES 的低压电源，板级 PCB 上可与 DVDD09_USB 合并。
  - VPH_SERDES 为 SERDES 的高压模拟电源，由 VREGBYPASS=1’b1 配置为 1.8V。板级 PCB 上可与 VDDH18_USB 合并。
- PLL 及其他模拟电源
  - AVDD18 为 DDR 内部 PLL 及系统集成的 SCPLL 的高压模拟电源。板级 PCB 上需与其他电源隔离，可采用磁珠与其他模拟 1.8V 电源合并。布线空间允许的话，尽量使用地线屏蔽防护，去耦滤波电容靠近管脚摆放。
  - VGA_AVDD18 为 DAC 的高压模拟电源。板级 PCB 上可与其他模拟 1.8V 电源合并。
  - ADC_AVDD18 为 ADC 的模拟高压电源。板级需要独立供电，不可与其他模拟 1.8V 电源合并。尽量远离其他模拟 1.8V 电源。

5.5.2 滤波电路

无。

5.5.3 单板电源合并方案

请参见 5.5.1 电源章节。

5.5.4 单板模拟地处理方案

请参见 5.5.1 电源章节。

5.6 注意事项

所有不使用的模块电源请保持供电。

版权所有 © 海思技术有限公司

6 DDR 接口

6.1 概述

DDRC（DDR4 SDRAM Controller）实现对 DDR4 SDRAM 的存取控制。

DDRC 实现了 SoC 系统中的 CPU 等主设备对外存 DDR4 SDRAM 的数据访问。通过 CPU 配置 DDRC 的时序参数寄存器，可以支持符合 JEDEC（JESD79）标准的 DDR4 SDRAM 器件。

表6-1 DDRC 支持的 DDR4 SDRAM 列表

厂商	600MHz
JESD79-4B （DDR4 Standard）	DDR4-1600 DDR4-1866 DDR4-2133 DDR4-2400

DDRC 的最高工作频率为 600MHz。

DDRC 的功能特点：

- 支持 JESD79-4B DDR4。
- 接口数据速率 DDR4：1600/1866/2133/2400 Mbps 可调节；对应的 DDRC 时钟速率为 400/466/533/600MHz,典型频点为 2133Mbps。
- DDR4 单个颗粒容量最大只支持到 16Gb（X8/X16 均适用）。
- 支持 X8，X16 器件颗粒；不支持颗粒混用；支持单片 16bit 位宽。
- 只支持 DDR Burst8 模式。
- DDRC 支持 1 Ranks，支持单片选。

版权所有 © 海思技术有限公司

- 支持 DMC 通道内部地址到 DDR 颗粒地址的 RRBC、RRCBC 映射模式。
- 支持 16bitDDR 数据位宽。
- 支持带内 ECC，支持 SEC/DED ECC 校验，支持出错场景下，第一次错误信息的记录（出错地址，期望数据、实际数据），其中带内 ECC 规格下，对于可用颗粒容量及效率带宽均会有影响。
- DDRC 不支持 ECC write back。当读数据出现 1bit ECC 错误时。需要软件来完成正确数据的回写到 DDR 颗粒中。
- 支持 DDR 自动刷新，刷新周期可配置，支持 Postponed 模式且每次刷新的连续发送刷新的命令次数（1，2，4，8）可配置。
- 支持 DDR 器件自刷新，以用于在 DDR 子系统在非掉电复位，DDR 数据不丢失的规格下，DDR 器件可进入自刷新来保证 DDR 数据不丢失。
- 支持 DDR 器件 Power Down，由软件通过配置寄存器使能。
- 支持 QOS，可以配合系统总线送过来的 QOS 信息进行流量管理；DDRC 可以根据命令 ID 映射 Timeout 防止低优先级访问饿死问题。
- 支持 DDR4 的 Bank Group，通过有效的利用 Bank Group 来提高 DDR 的利用率。
- 支持 DDR4 的 DBI 功能，写 DBI 与 DM 功能互斥。
- 支持 ZQ 自校准。
- 支持 SEC 规格，整个地址空间上，不同的地址区间映射到了各自不同的权限属性。权限属性分为“命令的安全属性权限”。只有获得这种权限的命令，才可以正常访问 DDRC 中对应的地址区间。DDR 提供安全属性，能够划分 10 个安全区域，总大小不小于 100MB，可配置。
- 支持 DDRC、DDRPHY 复位而 DDR 数据保持的规格。
- 支持软件配置内存复位。
- 支持硬件对内存清零。
- 黑匣子访问 DDR 优先级可配置为最高。
- 支持 Offline EXMBIST 测试，不支持 On line MBIST 测试。
- 支持对读写操作数量、基于 1 个 12Bits ID（可使用 ID Mask 映射任意几位 ID）进行读写操作延迟统计（读写操作最大最小延时，所有读写命令积累延时）以及 DDR 带宽利用率性能信息进行统计。
- DDRC 的配置寄存器可以全部可读写。
- 支持 Debug Bus 接口，该接口可配置 DDRC 所有寄存器，可完成包括 DDR MBIST，DDRC 和 PHY 寄存器配置信息及统计信息的操作。

版权所有 © 海思技术有限公司

- DDRC 能够检测 PHY 接口异常，并上报错误状态。
- 支持 DDRPHY Loop Back 功能，支持板级和 ATE 级的测试，I/O Pad 侧和 I/O Core 侧 Loop Back 可选择。
- 支持对 DDR4 的 Address parity 错误注入。
- 支持对 DDR4 的数据 CRC 错误注入。
- 针对内部 SRAM 进行 ECC 校验，并可以进行 1bit 或 2bit 错误注入，其中 WS MEM ECC 规格与 DDR ECC 功能耦合。
- ECC 单 bit 错误可以定位到是具体 bit，也就是具体的 dq。
- 内存自检算法支持 MARCH-IC。
- 支持 DDR4 的 CRC 功能，寄存器可配置。
- 支持 CA parity 和 CRC 的错误重传。
- 支持 Data Scrambling，将数据用 16 位地址线加扰写入 DRAM。
- 支持 DDR4 的地址线 Parity 功能，对命令/地址线的奇偶校验保护；对数据线进行 CRC 保护。
- DDR PHY 支持 HDR 模式，支持 loopback 测试。

6.2 电路说明

无。

6.3 接口配置

请参见《Hi3093 通用 MPU 芯片 用户指南》“DDRC”章节。

6.4 电路设计建议

请参见 27.3 DDR 接口章节描述。

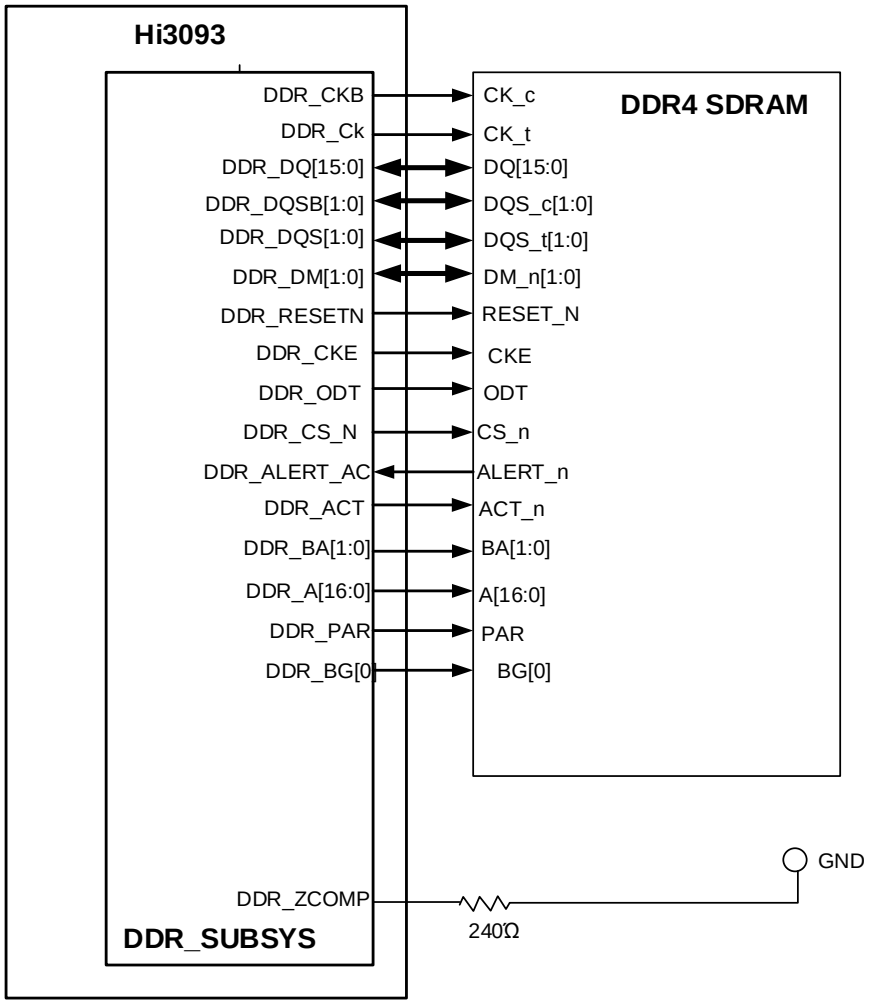
6.4.1 DDR 颗粒连接示意图

DDR4 SDRAM 连接模式：

版权所有 © 海思技术有限公司

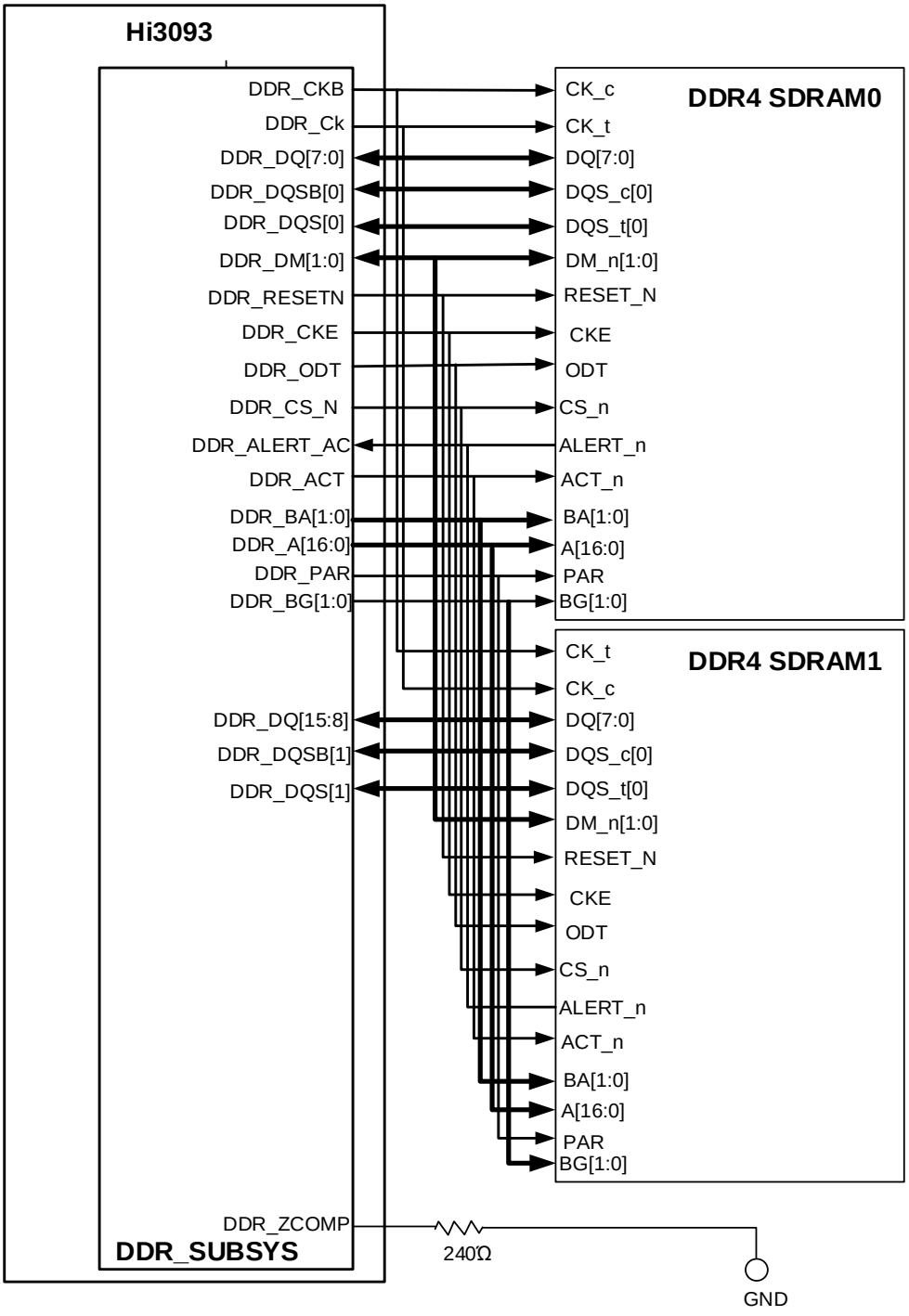
- 连接模式一：DDRC 与 1 片数据总线位宽为 16bit 的 DDR4 SDRAM 相连，其连接示意图如图 6-1 所示。
- 连接模式二：DDRC 与 2 片数据总线位宽为 8bit 的 DDR4 SDRAM 相连，其连接示意图如图 6-2 所示。

图6-1 DDRC 与 1 片 DDR4 DRAM 的互联示意图



版权所有 © 海思技术有限公司

图6-2 DDRC 与 2 片 DDR4 SDRAM 的互联示意图



6.4.2 电源

DDR 的电源单板设计请参见 5.5 电源电路设计建议章节的相关描述 。

版权所有 © 海思技术有限公司

6.4.3 VREF

请参见 27.3 DDR 接口章节描述。

6.4.4 时钟

请参见 27.3 DDR 接口章节描述。

6.4.5 复位

全芯片的复位描述请参见 4 复位章节的描述。

6.4.6 接口信号处理

请参见 27.3 DDR 接口章节描述。

6.5 板级仿真

无。

6.6 信号延时补偿信息

无。

版权所有 © 海思技术有限公司

7 LocalBus 接口

7.1 概述

LocalBus 对外提供异步静态存储器接口，可以连接 SRAM (Static Random Access Memory)、ROM (Read Only Memory)、NOR Flash 等异步静态存储器，用于实现系统启动、数据存储等功能。同时也可以用于连接带异步存储器接口 (包括 Intel 时序和 Moto 时序）的控制芯片。

LocalBus 控制器具有以下特点：

- 支持 4 个片选（CS0~CS3)，每个片选独立配置存储器空间，独立配置时序参数。
  - CS0 支持的最大访问空间为 256MB；
  - 片选、读使能、写使能的有效长度可配；
  - 片选有效电平之间的最小间隔可配；
  - 片选与读信号、写信号之间的间隔可配置。
- 数据位宽支持 16bit 或 8bit 可配置。
- 地址位宽 27bit。
- 支持防挂死特性。
- 支持 ALE 无效到数据输出时间可配置。
- 支持带 READY 和固定周期 2 种模式，每个片选独立配置。
- 固定周期下根据内部寄存器配置的 Localbus 周期执行外部访问。
- READY 模式下，根据外部设备返回的 READY 信号握手方式执行外部访问。
- 支持地址线和数据线复用，减少外部管脚数量。
- 地址锁存信号 EBIALE 为高电平时，地址有效；EBIALE 为低电平时，数据有效。
- 支持地址偏移可配置。

版权所有 © 海思技术有限公司

- 支持 LocalBus Boot 功能。
  - 固定从 CS0 对应的 Flash 启动；
  - 启动时的数据位宽支持管脚可配置。

7.2 硬件接口信号描述

LOCAL BUS 接口信号名称及功能说明如表 7-1 所示。

表7-1 Local Bus 接口信号列表

名称	方向	电平类型	相关模块	说明
LB_READY	I	LVCMOS	Nor FLASH	外部输入 LocalBus 控制器的异步等待信号。默认高电平指示传输就绪，高低可配。
LB_WEN	O	LVCMOS	Nor FLASH	Intel 模式的写使能信号，低电平有效。
LB_OEN	O	LVCMOS	Nor FLASH	Intel 模式的读使能信号，低电平有效。
LB_LBCTL	O	LVCMOS	Nor FLASH	Moto 模式的读写合一信号，默认高写低读。可配置为高读低写。
LB_ALE	O	LVCMOS	Nor FLASH	LocalBus 控制器输出的地址锁存信号，为高时地址有效，为低时数据有效。
LB_CS0N~LB_CS3N	O	LVCMOS	Nor FLASH	LocalBus 控制器输出的 CS0~3 片选信号，低电平有效。
LB_ADDR0~LB_ADDR26	I/O	LVCMOS	Nor FLASH	LocalBus 控制器双向数据总线，地址总线。数据线和地址线复用。

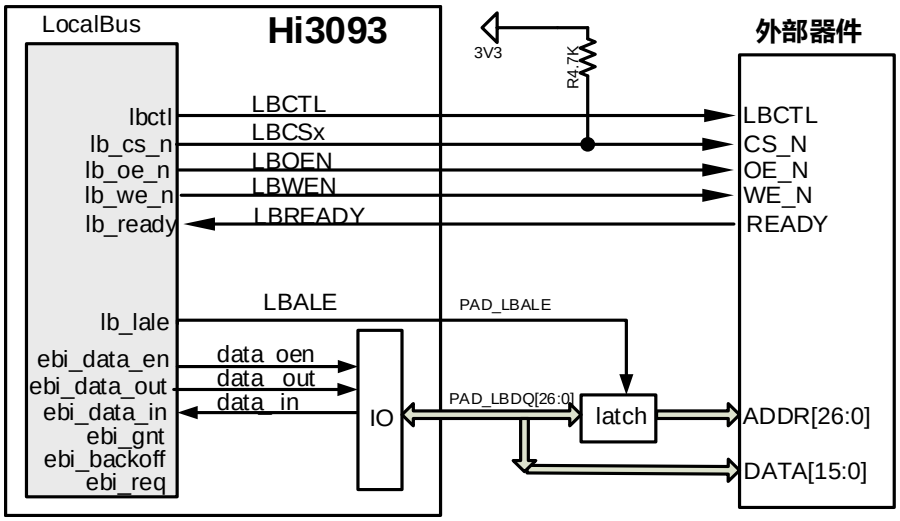
版权所有 © 海思技术有限公司

7.3 硬件电路设计指导

7.3.1 典型应用框图

LocalBus 的典型应用框图如图 7-1 所示。

图7-1 LocalBus 的典型应用框图



管脚连接说明：

- LBCS[3:0]N 需上拉。
- LBCTL：读写合一信号，极性通过寄存器 LB_CSx_CTRL bit[12]（x=0~3）可配置，默认低读高写。
- LBCS[0:3]N：4 个独立片选信号输出，分别控制 CS0～3。LocalBus 支持从 CS0 外接存储器启动。
- LBOEN：读使能信号。
- LBWEN：写使能信号。
- LBREADY：外部 Ready，在接慢速器件时，SMREADY 信号用于双方握手协商。
- LBALE：地址锁存信号，高电平时锁存地址，低电平时数据有效。
- LBDQ[26:0]：数据/地址总线。

版权所有 © 海思技术有限公司

7.3.2 灵活的时序配置

LocalBus 4 个 CS 对应的时序参数可独立配置；需要配置是 Intel 模式还是 Moto 模式，可直接根据具体器件配置出相应的时序。

须知

因上一版固定时序写 ALE 无效到数据有效间隔只有一个时钟周期，对单板设计有约束，本版本增加了间隔可配置，默认值为一个周期，如无单板设计约束可不配置，配置寄存器为 LB_CS0_T_SET2 bit[31:29] (物理地址 0x08712048)，四个片选都可以分别配置，注意配置不要超过 Tacs。

7.3.2.1 LocalBus 时序参数配置

可配置的时序参数如表 7-2 所示。

表7-2 LocalBus 的可配置时序参数表

符号	说明	最小值	典型值	最大值	单位
Tacs	从地址有效到片选有效的时间。	1	2	32	Cycle
Tcsrp	在读操作时，表示片选有效时间。	2	8	511	Cycle
Taoe	地址有效到读使能（oe_n）有效的时间。	1	3	32	Cycle
Tcoen	如果读使能（oe_n）先于片选（cs_n）无效，表示读使能（oe_n）无效到片选（cs_n）无效的时间。 如果片选（cs_n）先于读使能（oe_n）无效，表示片选（cs_n）无效到读使能（oe_n）无效的时间。	0	0	63	Cycle
Tal	从地址信号有效到读写合一信号（lbctl）有效（如：默认为写，假设为高，则低有效）时间。	1	1	32	Cycle
Tawe	从地址信号有效到写使能信号有效的时间。	1	3	32	Cycle

版权所有 © 海思技术有限公司

符号	说明	最小值	典型值	最大值	单位
Tcln	如果读写合一信号（lbctl）先于片选(cs_n)无效，表示从读写合一信号（lbctl）无效（恢复默认值）到片选（cs_n）无效时间。 如果片选(cs_n)先于读写合一信号（lbctl）无效，表示从片选（cs_n）无效到读写合一信号(lbctl)无效的时间。		1		Cycle
Tcswp	写操作时，片选有效时间。	2	8	511	Cycle
Tcwen	如果写使能（we_n）先于片选（cs_n）无效，表示写使能（we_n）无效到片选（cs_n）无效的时间。 如果片选（cs_n）先于写使能（we_n）无效，表示从片选无效到写使能无效的时间。	0	1	31	Cycle
Tcdn	从片选无效到写数据无效的时间。	0	0	31	Cycle
Tcl	在复用情况下，表示从片选无效到LALE 有效的时间。	1	4	63	Cycle
Tlgta_samp	从片选有效到开始采集外部 Ready（LGTA）的时间。如果从片选有效开始采，则此值设置为 1。	1	1	63	Cycle
Tlale	在复用情况下，地址锁存的指示信号的有效时间。	0	3	31	Cycle
Tcsn	在复用情况下从 ready 有效到片选无效时间。	0	2	63	Cycle

须知

在配置时序之前配置 LB_CFG_T_UPDATE_EN bit[0] (物理地址为 0x08712154) 为 0。然后配置时序参数，在所有的时序参数配置好后，查询 debug 状态寄存器 2，如果等于 0，再将此寄存器 LB_CFG_T_UPDATE_EN bit[0] (物理地址为 0x08712154) 配置为 1。

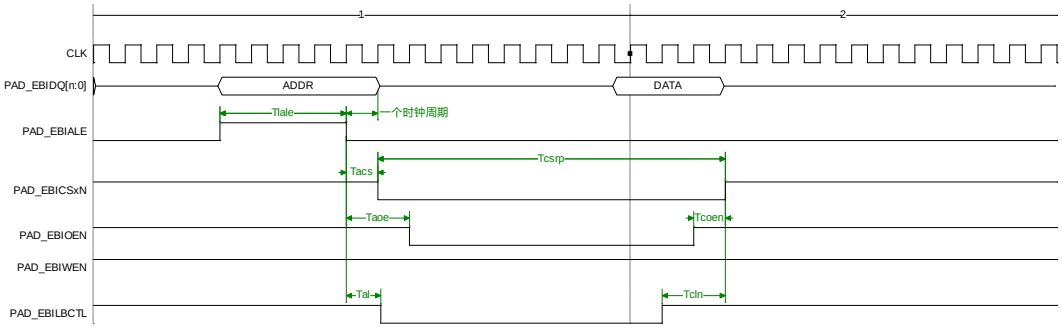
版权所有 © 海思技术有限公司

7.3.2.2 LocalBus 典型时序配置

本节根据 LocalBus 选择的固定周期或 Ready 模式，列出各种情况的时序图和配置参数。

复用、无外部 Ready 情况

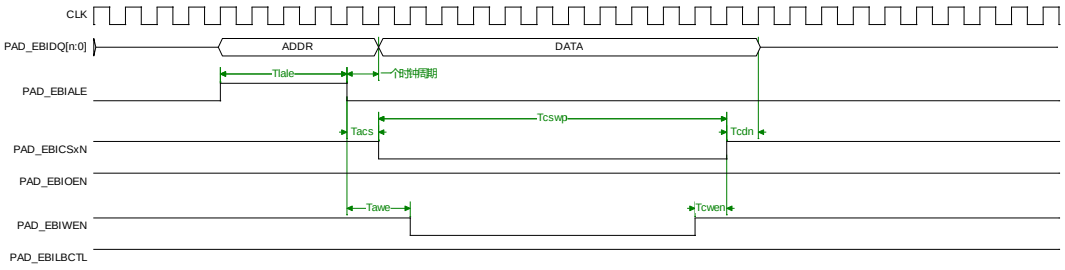
图7-2 LocalBus 复用无外部 Ready 单次读操作



须知

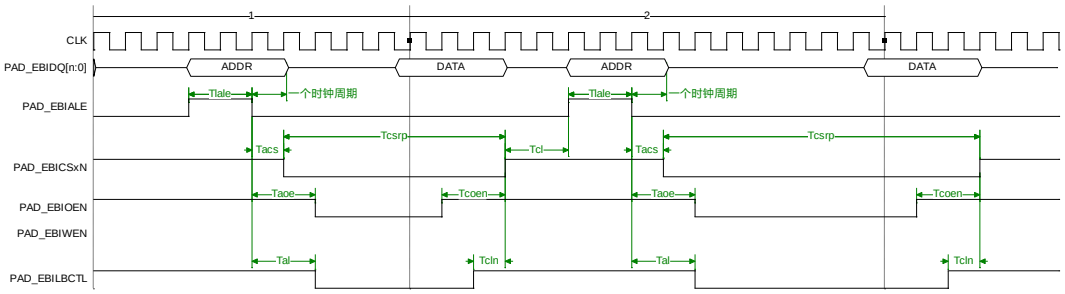
Localbus 读外部数据的操作，内部锁存读取的数据的时刻是片选 cs_n 或者读写合一信号 lbctl 或者读使能 oe_n 的上升沿的前一个 cycle，以这三个信号最先无效的信号的上升沿为准。所以如果外部器件使用的是 oe_n 信号，要求 Toen>=Tln。所以如果外部器件使用的是 lbctl 信号，要求 Tln>=Toen。

图7-3 LocalBus 复用无外部 Ready 单次写操作



版权所有 © 海思技术有限公司

图7-4 LocalBus 复用无外部 Ready 连续读操作

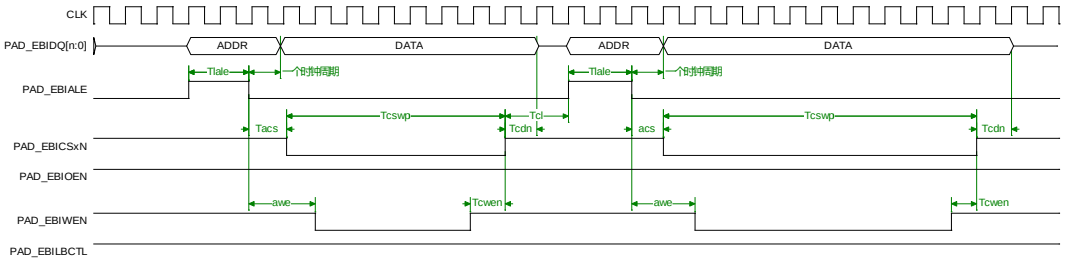


须知

Tcl 参数表示两次操作的间隔，Tcdn、Tcln、Twen、Tcoen 有效时间不能跨越两次操作，否则时序就不正确了。所以需要满足如下的要求：

- Tcl-3>=Tcdn；保证数据保持时间不跨越两次操作。
- Tcl-3>=Tcln；保证读写合一信号不跨越两次操作。
- Tcl-3>=Twen；保证写使能信号不跨越两次操作。
- Tcl-3>=Toen；保证读使能信号不跨越两次操作。

图7-5 LocalBus 复用无外部 Ready 连续写操作



版权所有 © 海思技术有限公司

图7-6 LocalBus 复用无外部 Ready 读写切换操作

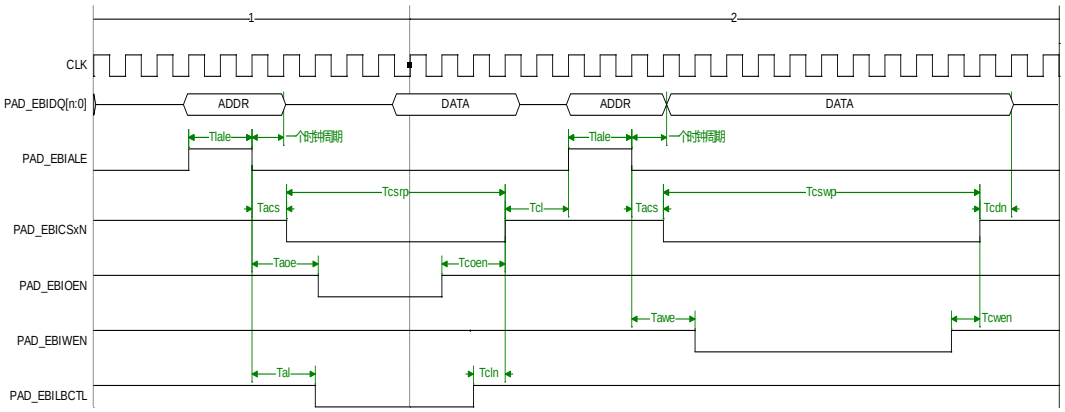
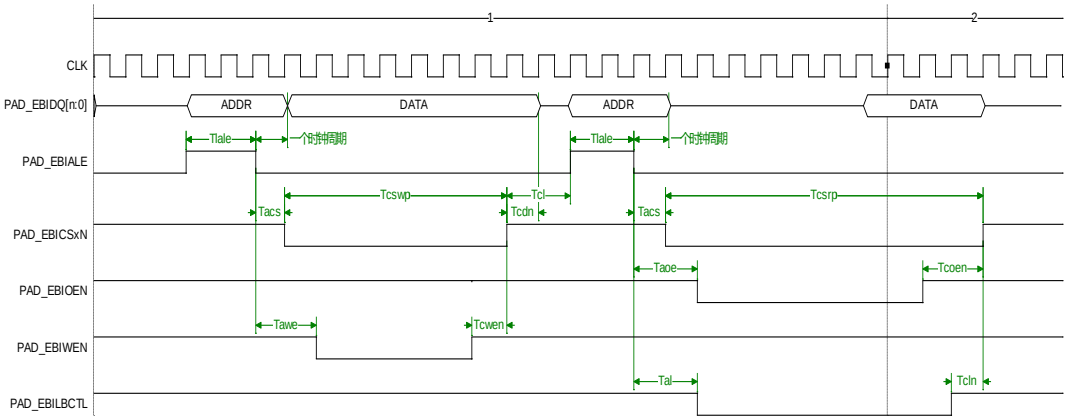
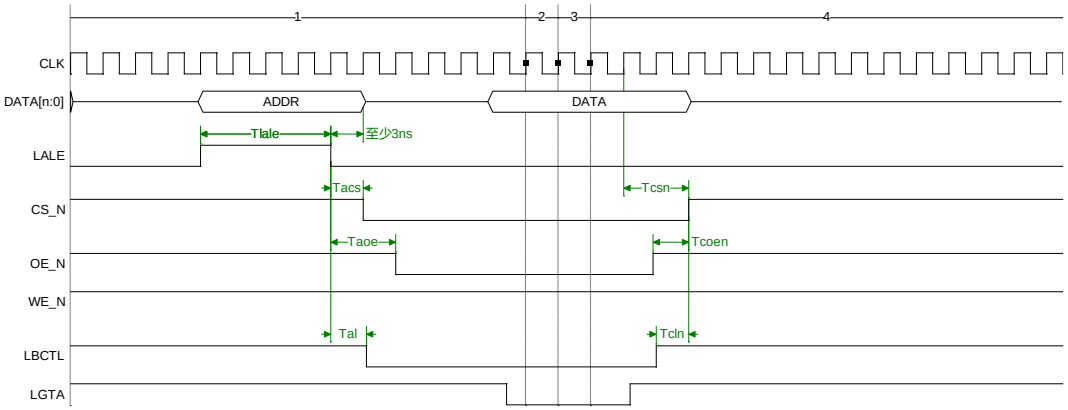


图7-7 LocalBus 复用无外部 Ready 写读切换操作



复用、有外部 Ready 情况

图7-8 LocalBus 复用有外部 Ready 单次读操作



版权所有 © 海思技术有限公司

图7-9 LocalBus 复用有外部 Ready 单次写操作

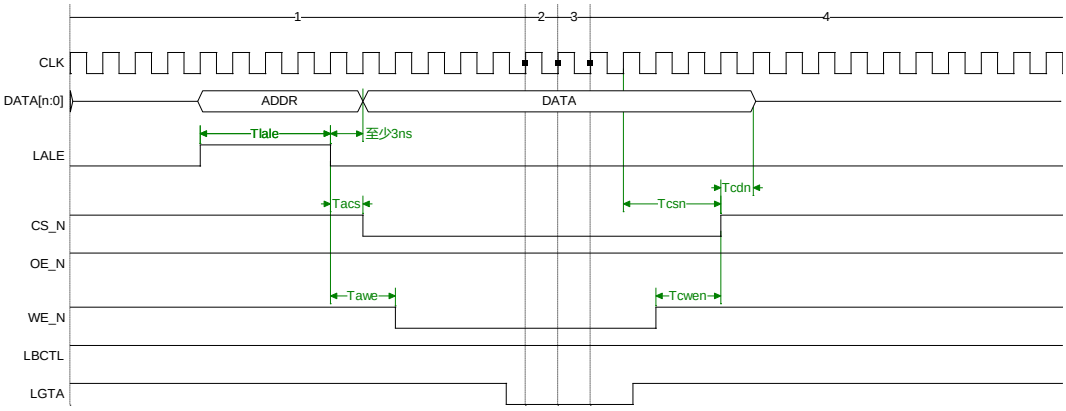


图7-10 LocalBus 复用有外部 Ready 连续读操作

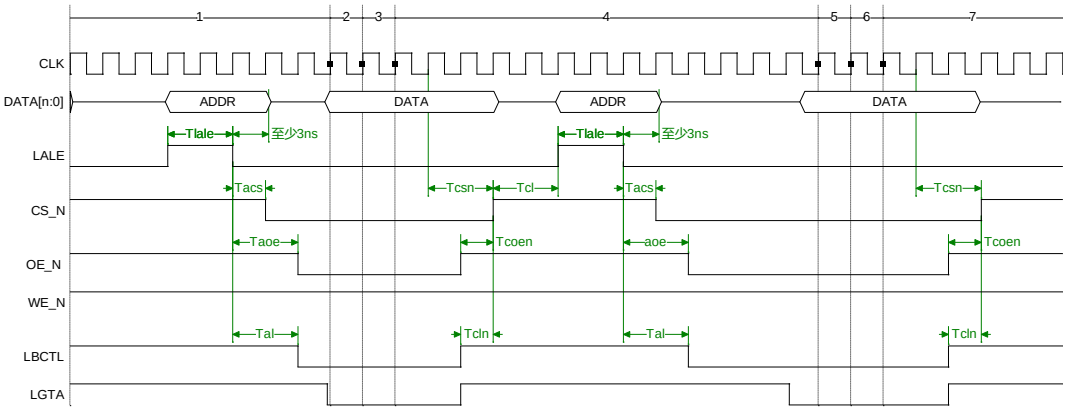
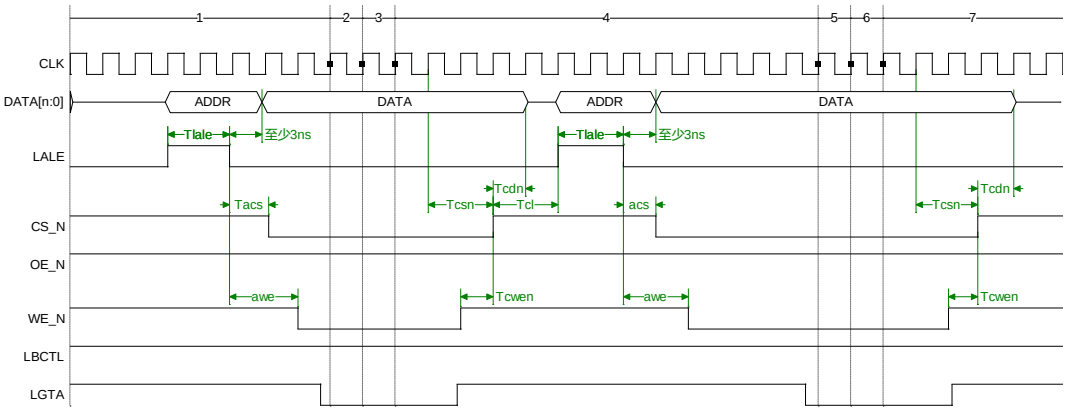


图7-11 LocalBus 复用有外部 Ready 连续写操作



版权所有 © 海思技术有限公司

图7-12 LocalBus 复用有外部 Ready 读写切换操作

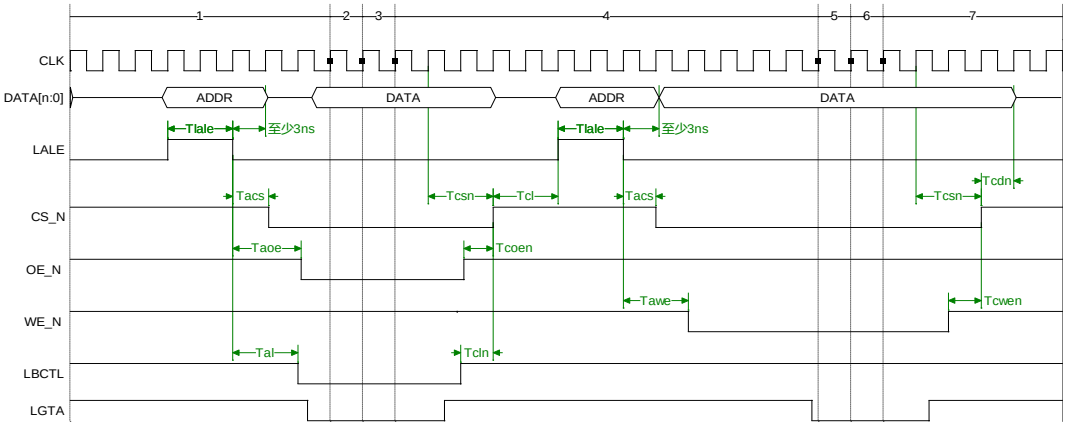


图7-13 LocalBus 复用有外部 Ready 写读切换操作

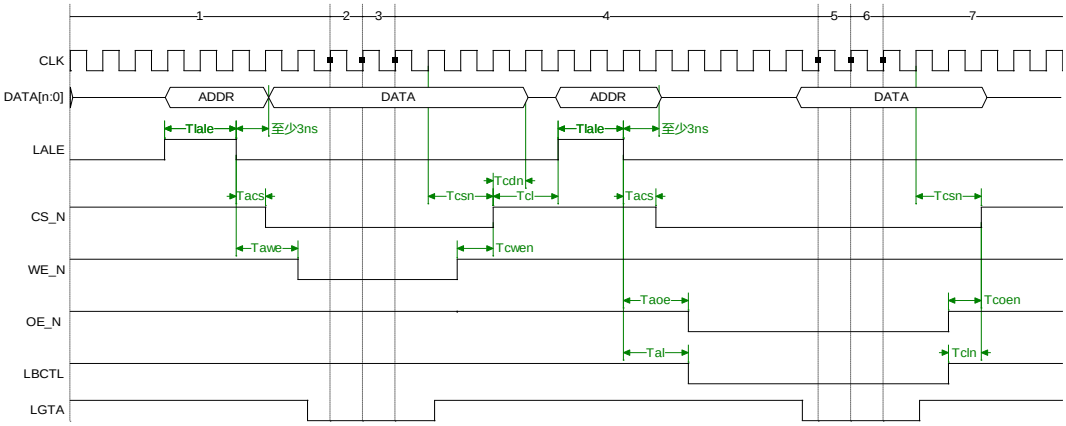
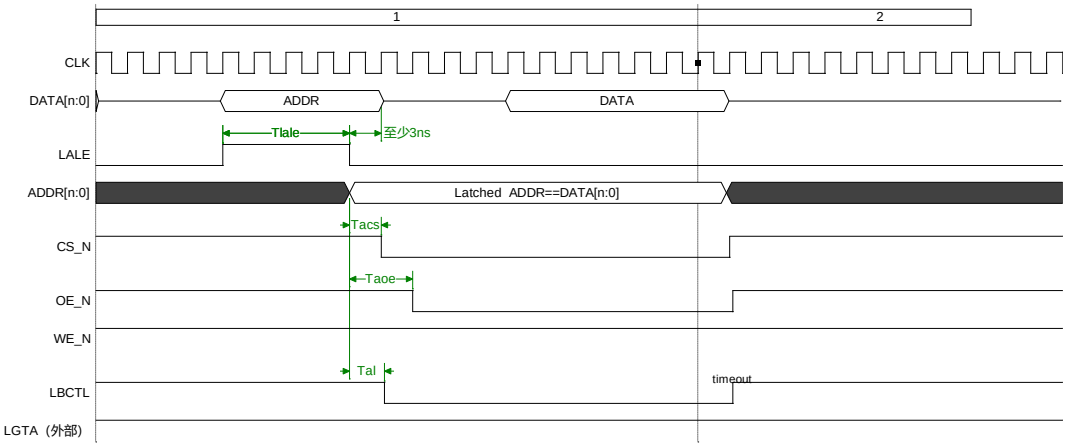


图7-14 LocalBus 复用有外部 Ready 外部 Ready 超时



版权所有 © 海思技术有限公司

7.4 接口时序

请参见 23.6 Local Bus 时序参数章节描述。

版权所有 © 海思技术有限公司

8 SFC 接口

8.1 概述

SFC 逻辑是一个 SPI FLASH 控制器，主要功能完成系统对 SPI FLASH 的访问控制。

Hi3093 支持两个 SFC 控制器，分别为 SFC0 和 SFC1。

SFC 的主要特点如下：

- 支持 2 个 SFC 控制器，每个支持 2 路片选。
- 支持一，二，四线模式。
- 单个片选存储空间最大可达 128Mbit（3B 地址模式）/8Gbit（4B 地址模式）。支持 BMC 从 SFC0 对接的 SPI FLASH 启动。
- 支持 24bit、32bit 地址，分别支持 128Mbit 和 8Gbit 容量。
- 支持接口时钟频率可配置。
- 支持 StandardSPI、Dual-Output/Dual-InputSPI、Quad-Output/Quad-InputSPI、Dual-I/OSPI、Quad-I/OSPI、FullDIOSPI、FullQIOSPI 七种接口模式。上电后默认支持 StandardSPI 接口模式，可通过寄存器配置选择支持其他几种接口模式。两个片选所接 FLASH 的接口模式必须相同。
- 支持 3Byte 和 4Byte 两种 Flash 地址模式。可通过寄存器配置切换地址模式。
- 支持 WriteProtect 操作。
- 支持 DMA。

版权所有 © 海思技术有限公司

8.2 硬件接口信号描述

两个 SFC 控制器接口都包含一个时钟信号、两个片选信号、四个数据信号、一个写保护信号、一个 HOLD 信号，其中写保护信号可以复用为数字信号，HOLD 信号为四线模式的数据信号，SFC 接口信号描述如表 8-1 所示。

表8-1 SFC 接口信号列表

名称	方向	电平类型	相关模块	描述
SFC0_CK	O	LVCMOS	SPI FLASH	SFC0 FLASH 接口时钟。
SFC0_CSN0	O	LVCMOS	SPI FLASH	SFC0 Flash 片选信号 0，低有效。
SFC0_CSN1	O	LVCMOS	SPI FLASH	SFC0 Flash 片选信号 1，低有效。
SFC0_SIO	I/O	LVCMOS	SPI FLASH	SFC0 Flash 的 sio 口数据线，一线模式做输出。四线模式做双向数据线。
SFC0_SOI	I/O	LVCMOS	SPI FLASH	SFC0 Flash 的 soi 口数据线，一线模式做输入。四线模式做双向数据线。
SFC0_WP	I/O	LVCMOS	SPI FLASH	SFC0 Flash 的 wpio2 口，提供写保护功能，四线模式做双向数据线。
SFC0_HLD	I/O	LVCMOS	SPI FLASH	SFC0 Flash 的 holdio3 口，四线模式做双向数据线。
SFC1_CK	O	LVCMOS	SPI FLASH	SFC1 FLASH 接口时钟。
SFC1_CSN0	O	LVCMOS	SPI FLASH	SFC1 Flash 片选信号 0，低有效。
SFC1_CSN1	O	LVCMOS	SPI FLASH	SFC1 Flash 片选信号 1，低有效。
SFC1_SIO	I/O	LVCMOS	SPI FLASH	SFC1 Flash 的 sio 口数据线，一线模式做输出。四线模式做双向数据线。

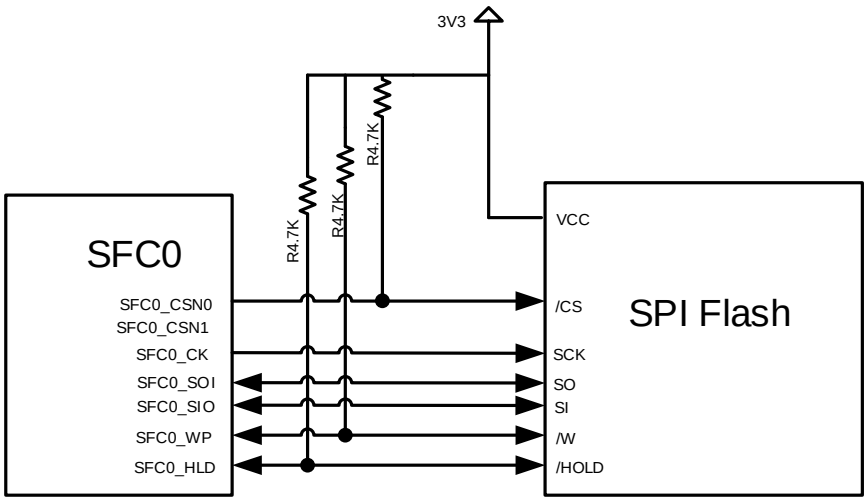
版权所有 © 海思技术有限公司

名称	方向	电平类型	相关模块	描述
SFC1_SOI	I/O	LVCMOS	SPI FLASH	SFC1 Flash 的 soi 口数据线，一线模式做输入。四线模式做双向数据线。
SFC1_WP	I/O	LVCMOS	SPI FLASH	SFC1 Flash 的 wpio2 口，提供写保护功能，四线模式做双向数据线。
SFC1_HLD	I/O	LVCMOS	SPI FLASH	SFC1 Flash 的 holdio3 口，四线模式做双向数据线。

8.3 硬件电路设计指导

8.3.1 典型应用框图

图8-1 SFC1 接口四线模式电路参考图



SFC 接口四线模式连接 SPI FLASH 请参考图 8-1。SFC0 和 SFC1 相同。

- SFC0_SOI/SFC1_SOI 没有特别要求外接上拉。
- SFC0_SIO/SFC1_SIO 没有特别要求外接上拉。

版权所有 © 海思技术有限公司

说明

以上说明同样适用于一线模式。

- SFC0_WP/SFC1_WP，SFC0_HLD/SFC1_HLD 为双向数据信号对接器件 WP#，HOLD#，低有效，因此必须外接上拉电阻（一线模式下上拉），下图上拉电阻 4.7kΩ 为参考值。
- 当做一线模式时，SFC0_SOI/SFC1_SOI 为输入，SFC0_SIO/SFC1_SIO 为输出，用 SFC0 进行启动加载时，只能为一线模式。

8.3.2 典型时序配置

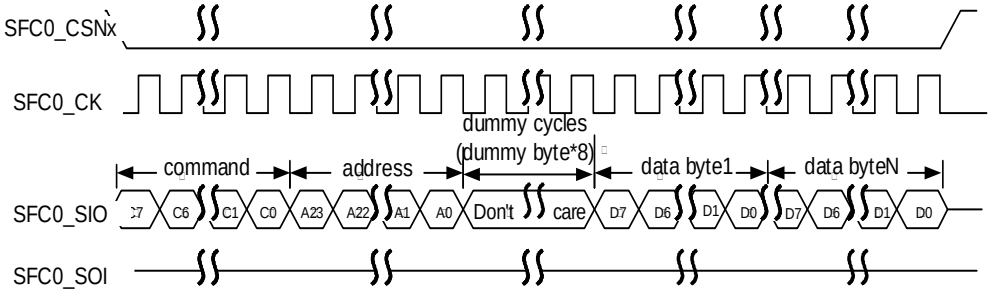
下面的时序都以 SFC0 为例，SFC1 和 SFC0 相同。

8.3.2.1 一线模式

- StandardSPI

  StandardSPI 接口模式具有 1bit 数据输入线和 1bit 数据输出线，接口时序如图 8-2 和图 8-3 所示。发送的 command,address,dummy bytes 和 data 在数据线都在 SFC0_SIO 输出，发送结束后，接收 data 在输入数据线 SFC0_SOI 输入。

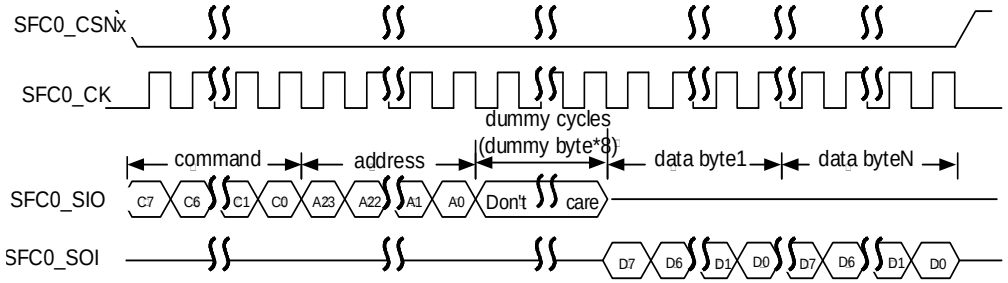
  图8-2 StandardSPI(写)接口时序图



- Command/Address/DummyByte 以单 bit 串行方式在 SFC0_SIO 线上输出。
- Data 以单 bit 串行方式在 SFC0_SIO 线上输出。

版权所有 © 海思技术有限公司

图8-3 StandardSPI(读)接口时序图



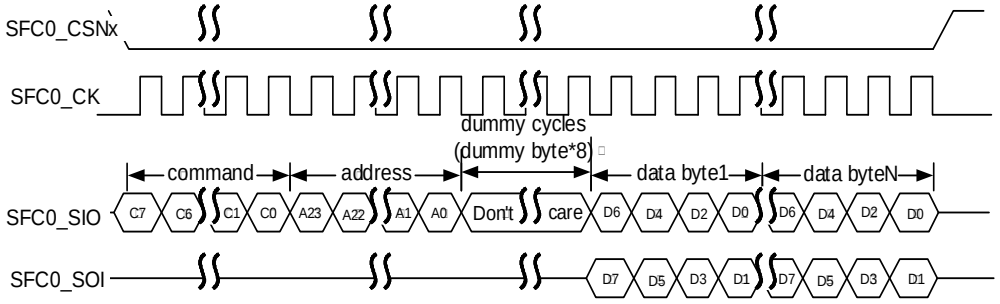
- Command/Address/DummyByte 以单 bit 串行方式在 SFC0_SIO 线上输出。
- Data 以单 bit 串行方式在 SFC0_SOI 线上输入。

8.3.2.2 二线模式

- DualInput/DualOutputSPI

  DualInput/DualOutputSPI 接口模式具有 2bit 双向数据线，接口时序如图 8-4 所示。先发送再接收，发送的 command，address，dummy bytes 在数据线都在 SFC0_SIO 输出，发送与接收 data 在数据线 SFC0_SIO 和 SFC0_SOI 以双比特同时发送或接收。

图8-4 DualInput/DualOutputSPI 接口时序图



须知

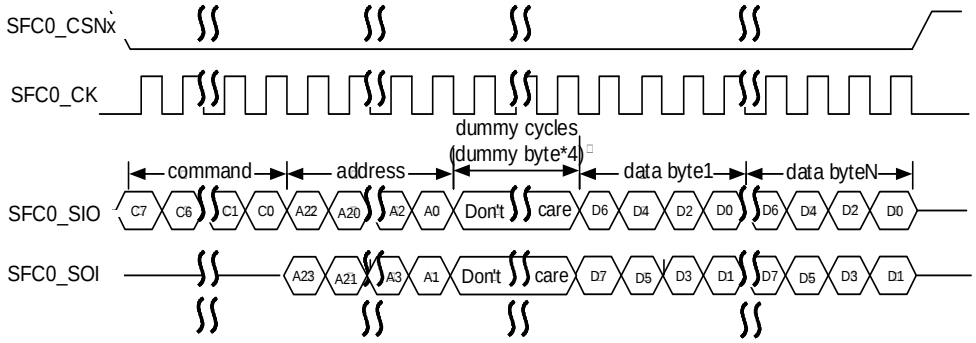
- Command/Address/DummyByte 以单 Bit 串行方式在 SFC0_SIO 线上输出。
- Data 以 DualBits 方式在 SFC0_SIO/SFC0_SOI 线上输出（写）或输入（读）。

- DualI/OSPI

  DualI/OSPI 接口模式具有 2bit 双向数据线，接口时序如图 8-5 所示。具体见须知。

版权所有 © 海思技术有限公司

图8-5 DualII/OSPI 接口时序图



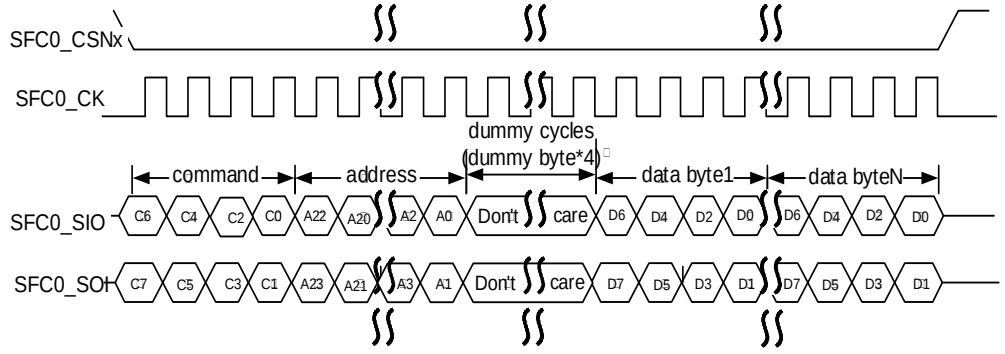
须知

Command 以单 Bit 串行方式在 SFC0_SIO 线上输出。Address/DummyByte 以 DualBits 方式在 SFC0_SIO/SFC0_SOI 线上输出。Data 以 DualBits 方式在 SFC0_SIO/SFC0_SOI 线上输出（写）或输入（读）。

- FullDualI/OSPI

DualInput/DualOutputSPI 接口模式具有 2bit 双向数据线，接口时序如图 8-6 所示。具体见须知。

图8-6 DualInput/DualOutputSPI 接口时序图



须知

Command/Address/DummyByte 以 DualBits 方式在 SFC0_SIO/SFC0_SOI 线上输出。Data 以 DualBits 方式在 SFC0_SIO/SFC0_SOI/SFC0_WPIO2/SFC0_HOLDIO3 线上输出（写）或输入（读）。

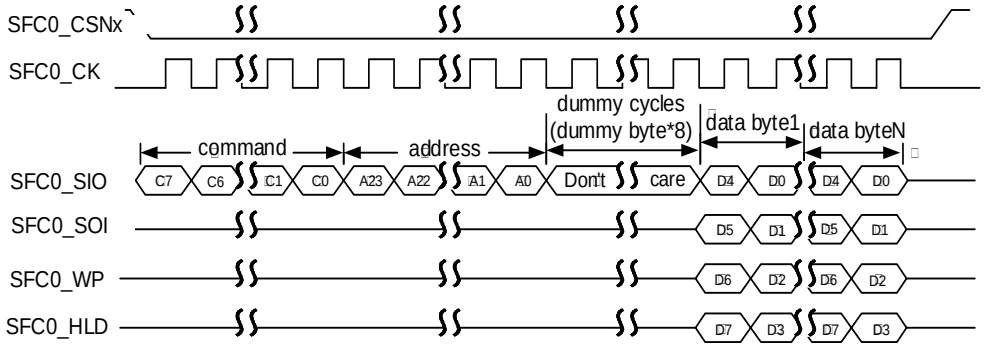
版权所有 © 海思技术有限公司

8.3.2.3 四线模式

- QuadInput/QuadOutputSPI

  QuadInput/QuadOutputSPI 接口模式具有 4bit 双向数据线，接口时序如图 8-7 所示。具体见须知。

  图8-7 Quad-SPIMode0 接口时序图



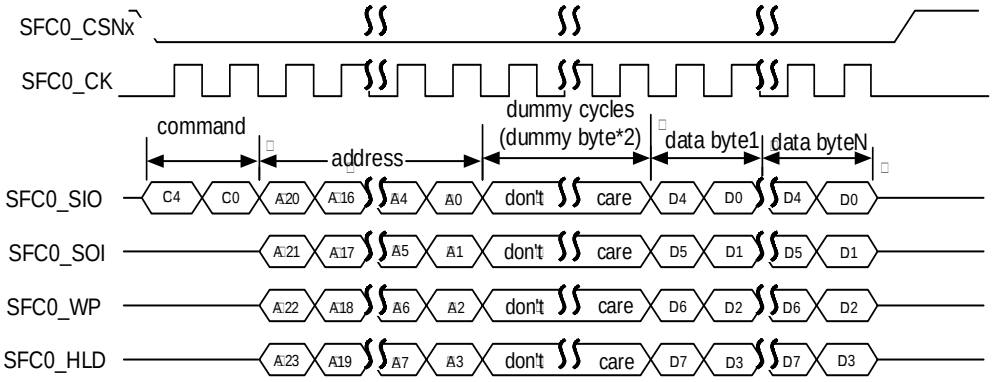
须知

- Command/Address/DummyByte 以单 Bit 串行方式在 SFC0_SIO 线上输出。
- Data 以 QuadBits 方式在 SFC0_SIO/SFC0_SOI/SFC0_WPIO2/SFC0_HOLDIO3 线上输出（写）或输入（读）。

- QuadI/OSPI

  QuadSPI 接口模式具有 4bit 双向数据线，接口时序如图 8-8 所示。具体见须知。

  图8-8 QuadSPI 接口时序图



版权所有 © 海思技术有限公司

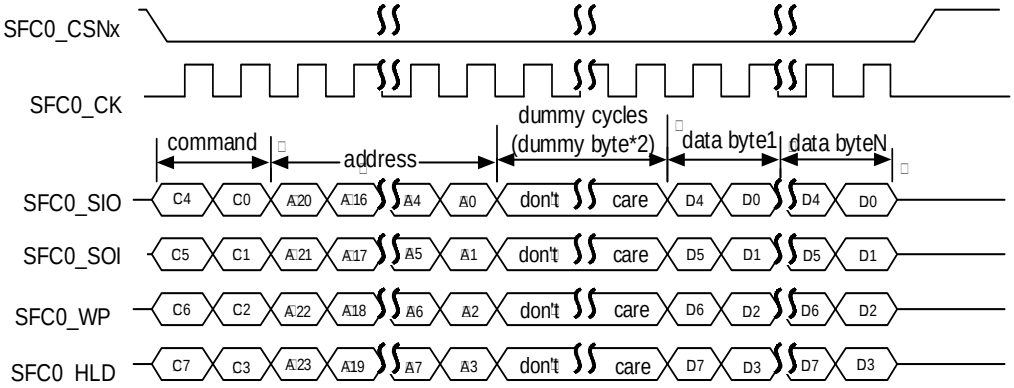
须知

Command/Address/DummyByte 以单 Bit 串行方式在 SFC0_SIO 线上输出。Address/DummyByte 以 QuadBits 方式在 SFC0_SIO/SFC0_SOI/SFC0_WPIO2/SFC0_HOLDIO3 线上输出。Data 以 QuadBits 方式在 SFC0_SIO/SFC0_SOI/SFC0_WPIO2/SFC0_HOLDIO3 线上输出（写）或输入（读）。

- FullQuadSPI

  FullQuadSPI 接口模式具有 4bit 双向数据线，接口时序如图 8-9 所示。具体见须知。

  图8-9 FullQuadSPI 接口时序图



须知

- Command/Address/DummyByte 以 QuadBits 方式在 SFC0_SIO/SFC0_SOI/SFC0_WPIO2/SFC0_HOLDIO3 线上输出。
- Data 以 QuadBits 方式在 SFC0_SIO/SFC0_SOI/SFC0_WPIO2/SFC0_HOLDIO3 线上输出（写）或输入（读）。

说明

SFC 不支持 HOLD/RESET 复用器件，如需对接此种器件请考虑规避方案。

8.3.3 接口时序

请参见 23.9 SFC 时序参数章节描述。

版权所有 © 海思技术有限公司

9 UART 接口

9.1 概述

UART（UniversalAsynchronousReceiver/Transmitter）是一个异步串行的通信接口，主要执行串并转换功能，将芯片发送到外围设备的数据进行并串转换，同时将来自外围设备的串行数据进行串并转换。该接口模块遵循 RS232 串行通信协议。

UART 内部包括接收 FIFO 和发送 FIFO，CPU 可通过访问 UART 状态寄存器查询数据传输的错误信息和器件的工作状态，可通过访问 UART 中断控制寄存器调整系统中断来满足用户的要求。

芯片共包含 8 路 UART，分为 2 组。其中 UART0、1 为 HOST 组，UART2~7 为 BMC 组。

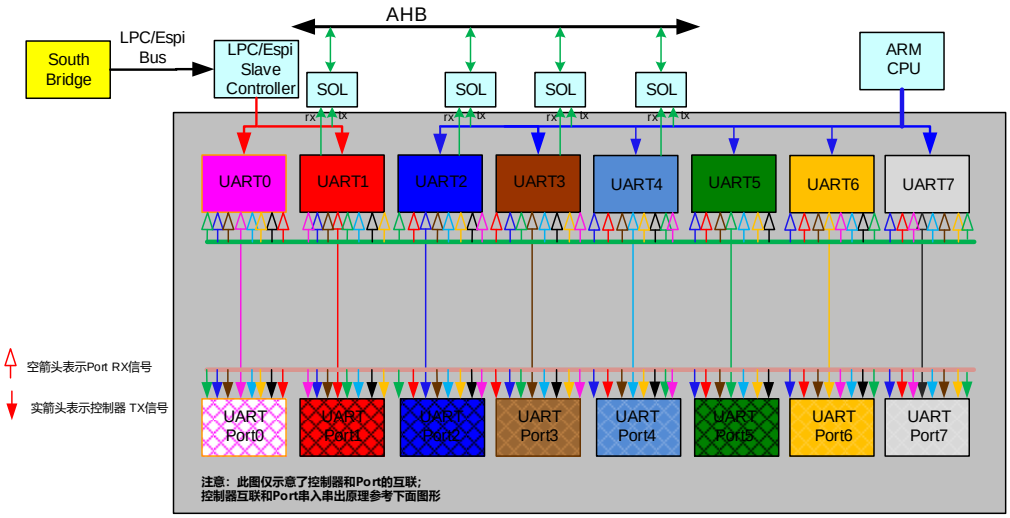
UART 具有以下特性：

- UART0~1 支持中断方式和查询方式进行数据搬运。
- UART2~7 支持 DMA 数据搬运，支持以中断方式和查询方式进行数据搬运。
- BMC (UART2~7)内部包括 128*8 Byte 的发送 FIFO 和 128*10Byte 的接收 FIFO。HOST(UART0~1) 内部包括 32*8Byte 的发送和 32*10Byte 的接收。
- 支持 FIFO 禁止或使能。
- 支持 5/6/7/8bit 可编程数据位。
- 支持 1/1.5/2bit 可编程停止位。
- 支持奇、偶校验方式，支持无校验位，支持校验位为软件设定值。
- 支持一个组合中断连接到中断控制器，中断类型包括：接收 FIFO 中断、发送 FIFO 中断、接收超时中断、错误中断。

版权所有 © 海思技术有限公司

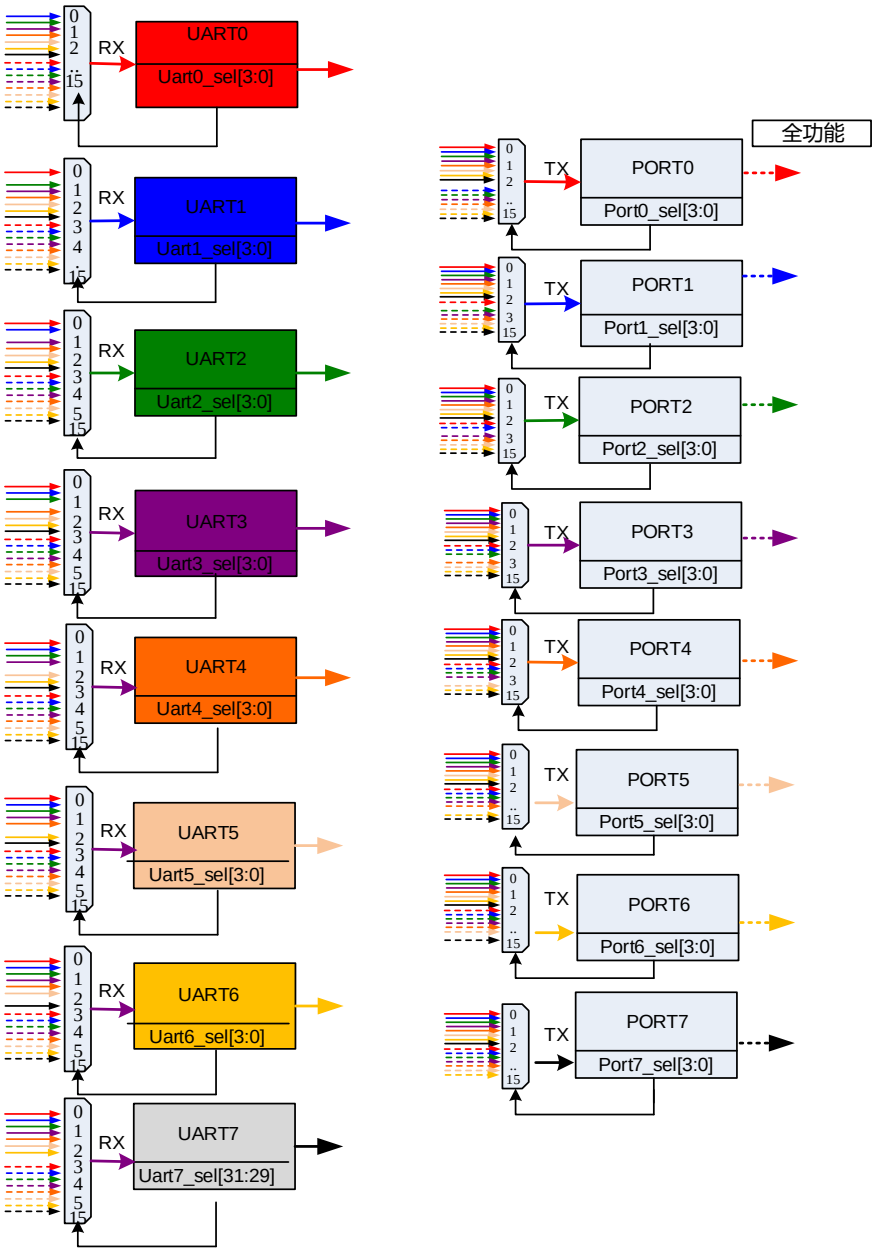
- BMC 侧 UART 支持传送速率可编程，传送速率范围为 100Mbps/(16*N)（0<N<65536，N 为整数）。
- HOST 侧 UART 只支持 115200 及以下波特率，配置 HOST UART 侧波特率时按 X86 标准 1.8461M 时钟计数分频系数，1.8461Mbps/(16*N)（0<N<65536，N 为整数。
- 支持关断 UART 时钟以降低功耗，UART2~7 能单独关断时钟，UART0、1 随 SUPERIO 整体关断时钟。
- 支持 8 个 UART 控制器模块及 8 组 UART 物理接口，各 UART 控制器与各接口之间的映射关系可配置，如图 9-1 所示。UART 到 PORT 的 TX 方向全互联。
- 片内一共 8 个 UART 控制器：UART0~UART7，每个 UART 包括独立的地址和中断线。每个 UART 控制器对外均支持 7 线模式（兼容 3 线和 5 线）。
- 芯片对外提供 8 个 UART Port。其中仅 UART Port0 支持全功能 7 线管脚，其他 Port 均只保留 3 线管脚。
- UART 的第 9bit 可以任意配置（校验位），预留给客户使用；仅 BMC 侧的 UART 支持该特性。HOST UART 不支持该配置。
- 支持协议处理器 M3 可以访问 UART，出面板，支持 SOL。

图9-1 UART 控制器与接口管脚映射图



版权所有 © 海思技术有限公司

图9-2 UART 接口控制示意图



UART 接口控制示意图如图 9-2 所示。

- UART0、UART1 支持 HOST 通过 LPC/ESPI 访问。
- UART2、UART3…UART7 支持 ARM CPU 访问。
- UART0~UART7 控制器支持全功能模式。

版权所有 © 海思技术有限公司

- UART Port0 接口管脚支持全功能模式。
- UART0~UART7 控制器之间支持片内互联，且支持流控（不支持 7 线模式互联）。
- 支持对 UART1 进行串口记录，即支持将 UART1 的收发数据循环写入特定的内存空间。
- 支持各 UART 控制器与接口管脚的映射关系可配置。

由于工作频率固定，在支持某些标准的波特率时会有误差，表 9-1 给出以 100MHz 工作时的误差率，当速率越高时，误差将会越小。

表9-1 波特率误差

波特率（bps）	分频比	误差率
9600	977	0.04%
56k	167	0.25%
187.5k	50	0.00%

说明

常用波特率 57600bps 可以通过分频比配置得到，但是不一定能完全精确到该速率。

- 支持 4 路 SOL 的收发数据循环记录，缓存空间收发各 32MB，可配置为 1M、2M、4M、8M、16M、32M（其中 3 路可接 RAID 卡在 BMC 侧参见下面 SOL 的描述，另外 1 路在 HOST 侧支持 LPC/ESPI，见《Hi3093 通用 MPU 芯片 用户指南》SUPER_IO 章节）；
- LPC/ESPI 各出 1 路 UART，能与其它串口复用，具体参见《Hi3093 通用 MPU 芯片 用户指南》SUPER_IO 章节。

9.2 硬件接口信号描述

UART 的接口信号分 3/5/7 线模式，其中 7 线兼容 3 线或 5 线，接口模式与管脚的对应关系如表 9-2 所示。

表9-2 UART 接口模式

名称	方向	3 线模式	5 线模式	7 线模式
UART_RXD	I	接收信号	接收信号	接收信号。

版权所有 © 海思技术有限公司

名称	方向	3 线模式	5 线模式	7 线模式
UART_TXD	O	发送信号	发送信号	发送信号。
UART_DTR_N	O	不涉及	不涉及	本端准备好信号（可收发）。
UART_CTS_N	I	不涉及	对端接收准备好指示	半双工：RTS 的应答信号。 全双工：始终输入有效。
UART_DSR_N	I	不涉及	不涉及	Modem 准备好信号(可收发)。
UART_RTS_N	O	不涉及	本端接收准备好指示	半双工：发送切换请求信号。 全双工：始终输出有效。
UART_DCD_N	I	不涉及	不涉及	Modem 检测到数据载波指示信号。
UART_RI_N	I	不涉及	不涉及	振铃检测信号。

须知

UART 接口 3/5/7 线模式均包括地线，表 9-2 中未列出。

UART 控制器支持 3/5/7 线模式；单仅 UART Port0 保留了 7 线管脚。因此出芯片仅支持 UART Port0 作为全功能接口。其他 Port 只支持 3 线或 5 线模式。

UART 接口一共 14 个，UART9~13 支持五线模式，UART0 支持三线、五线和七线模式其他支持三线模式。

表9-3 UART 接口信号列表

名称	方向	电平类型	描述
URXD0	I	LVCMOS	UART0 RX 接收数据信号。
UTXD0	O	LVCMOS	UART0 TX 发送数据信号。
UR0_DTR_N	O	LVCMOS	UART0 7 线模式下数据终端准备好。
UR0_CTS_N	I	LVCMOS	UART0 发送清除。
UR0_DSR_N	I	LVCMOS	UART0 数据准备好。
UR0_RTS_N	O	LVCMOS	UART0 发送请求。

版权所有 © 海思技术有限公司

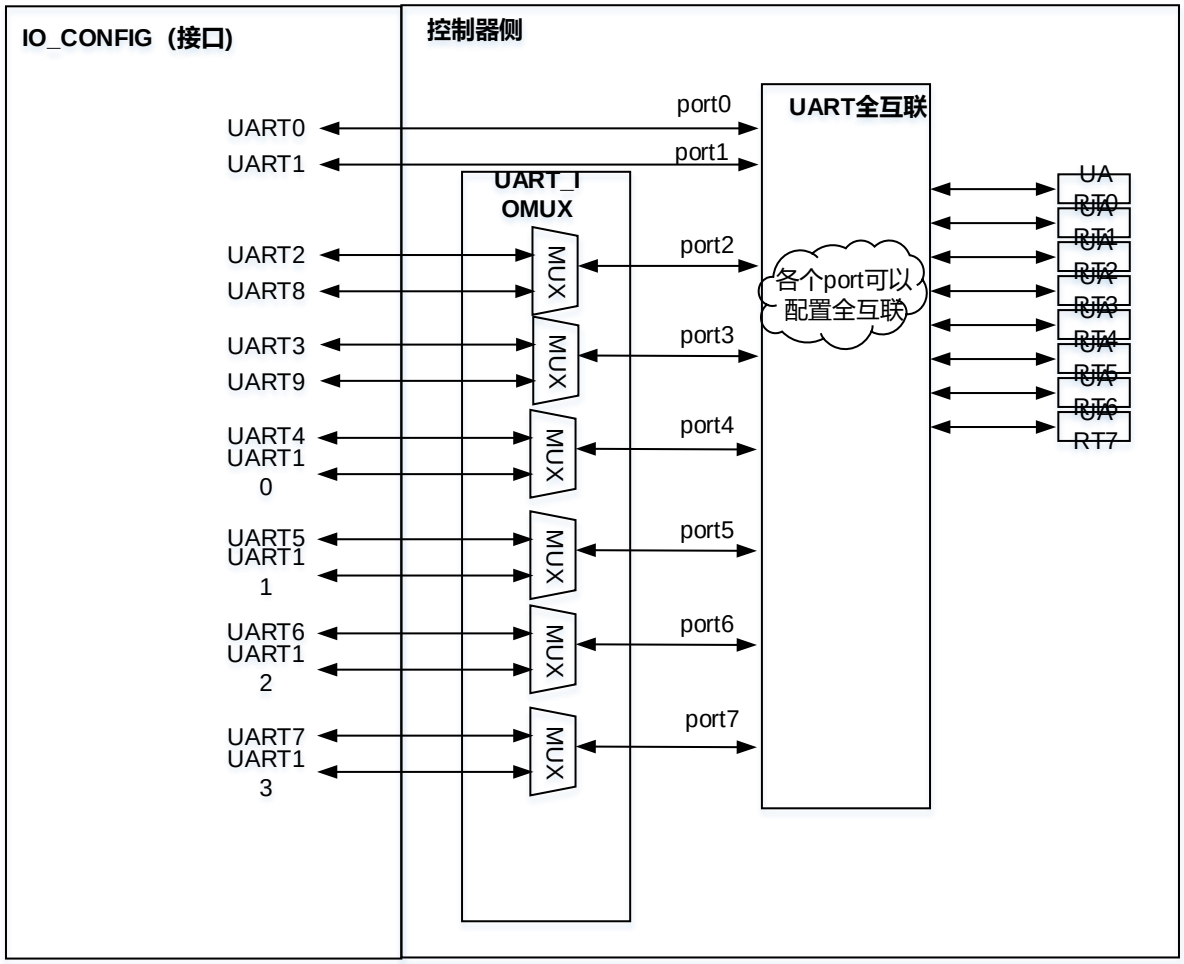
名称	方向	电平类型	描述
UR0_DCD_N	I	LVCMOS	UART0 数据载波侦测。
UR0_RI_N	I	LVCMOS	UART0 振铃检测。
URXD1	I	LVCMOS	UART1 RX 接收数据信号。
UTXD1	O	LVCMOS	UART1 TX 发送数据信号。
URXD2	I	LVCMOS	UART2 RX 接收数据信号。
UTXD2	O	LVCMOS	UART2 TX 发送数据信号。
URXD3	I	LVCMOS	UART3 RX 接收数据信号。
UTXD3	O	LVCMOS	UART3 TX 发送数据信号。
URXD4	I	LVCMOS	UART4 RX 接收数据信号。
UTXD4	O	LVCMOS	UART4 TX 发送数据信号。
URXD5	I	LVCMOS	UART5 RX 接收数据信号。
UTXD5	O	LVCMOS	UART5 TX 发送数据信号。
URXD6	I	LVCMOS	UART6 RX 接收数据信号。
UTXD6	O	LVCMOS	UART6 TX 发送数据信号。
URXD7	I	LVCMOS	UART7 RX 接收数据信号。
UTXD7	O	LVCMOS	UART7 TX 发送数据信号。
URXD8	I	LVCMOS	UART8 RX 接收数据信号。
UTXD8	O	LVCMOS	UART8 TX 发送数据信号。
URXD9	I	LVCMOS	UART9 RX 接收数据信号。
UTXD9	O	LVCMOS	UART9 TX 发送数据信号。
UCTS9	I	LVCMOS	UART9 发送清除信号。
URTS9	O	LVCMOS	UART9 发送请求信号。
URXD10	I	LVCMOS	UART10 RX 接收数据信号。
UTXD10	O	LVCMOS	UART10 TX 发送数据信号。

版权所有 © 海思技术有限公司

名称	方向	电平类型	描述
UCTS10	I	LVCMOS	UART10 发送清除信号。
URTS10	O	LVCMOS	UART10 发送请求信号。
URXD11	I	LVCMOS	UART11 RX 接收数据信号。
UTXD11	O	LVCMOS	UART11 TX 发送数据信号。
UCTS11	I	LVCMOS	UART11 发送清除信号。
URTS11	O	LVCMOS	UART11 发送请求信号。
URXD12	I	LVCMOS	UART12 RX 接收数据信号。
UTXD12	O	LVCMOS	UART12 TX 发送数据信号。
UCTS12	I	LVCMOS	UART12 发送清除信号。
URTS12	O	LVCMOS	UART12 发送请求信号。
URXD13	I	LVCMOS	UART13 RX 接收数据信号。
UTXD13	O	LVCMOS	UART13 TX 发送数据信号。
UCTS13	I	LVCMOS	UART13 发送清除信号。
URTS13	O	LVCMOS	UART13 发送请求信号。

版权所有 © 海思技术有限公司

图9-3 UART 控制器到全互联 port 到接口的复用关系



如图 9-3 所示，UART 的 8 个控制器再进行全互联的映射后，又进行 IOMUX 的复用。

- UART0 为全功能接口。
- UART9~UART13 端口为 5 线模式接口。
- UART2 port 可以选择去 UART2 接口和 UART8 接口。
- UART3 port 可以选择去 UART3 接口和 UART9 接口。
- UART4 port 可以选择去 UART4 接口和 UART10 接口。
- UART5 port 可以选择去 UART5 接口和 UART11 接口。
- UART6 port 可以选择去 UART6 接口和 UART12 接口。
- UART7 port 可以选择去 UART7 接口和 UART13 接口。

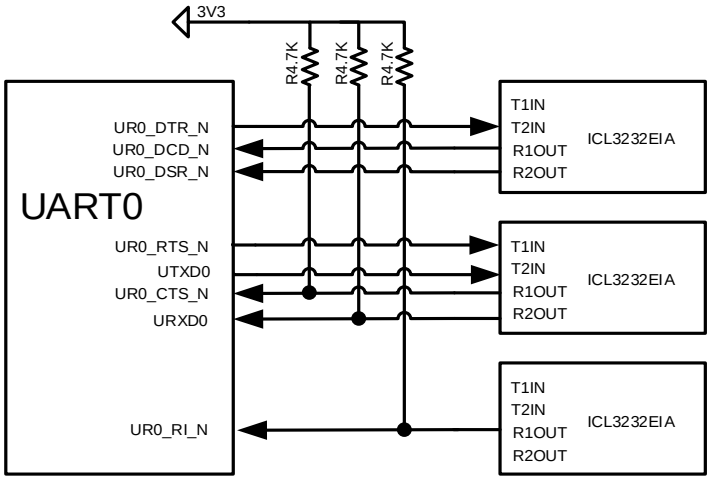
版权所有 © 海思技术有限公司

9.3 硬件电路设计指导

图 9-4 给出了 UART0 在七线模式时的接口电路设计参考图。

根据仿真结果确认是否添加源端和终端匹配电阻。

图9-4 UART0 七线模式接口外接电路参考图



说明

- 五线模式时，CTS 在接收到低电平时表示可以发送数据。
- 上拉电阻的阻值请根据仿真结果选择。

9.4 接口时序

遵照 UART 协议。

版权所有 © 海思技术有限公司

10 SPI 接口

10.1 概述

SPI（Serial Peripheral Interface）控制器，作为一个主设备与外部的设备来进行同步串行通信。

SPI 具有以下特性：

- 支持串行主设备操作。
- 支持可编程数据传输速率，传输速率配置范围为 200Mbps/N（6≤N<65534，偶数），最大传输速率可达到 33Mbps。
- 支持作为主设备，可以对接 2 个从设备。
- 支持接口时钟频率可编程。
- 支持 16bit*16 的接收 FIFO 和 16bit*16 的发送 FIFO。
- 支持 Moto 和 TI 帧格式。
- 数据帧大小可编程：4bit ~ 16bit。
- 支持 DMA 功能。
- 每个控制器支持 2 个片选。
- 支持两个 SPI 控制器。
- 支持每个片选的有效极性可配置。

版权所有 © 海思技术有限公司

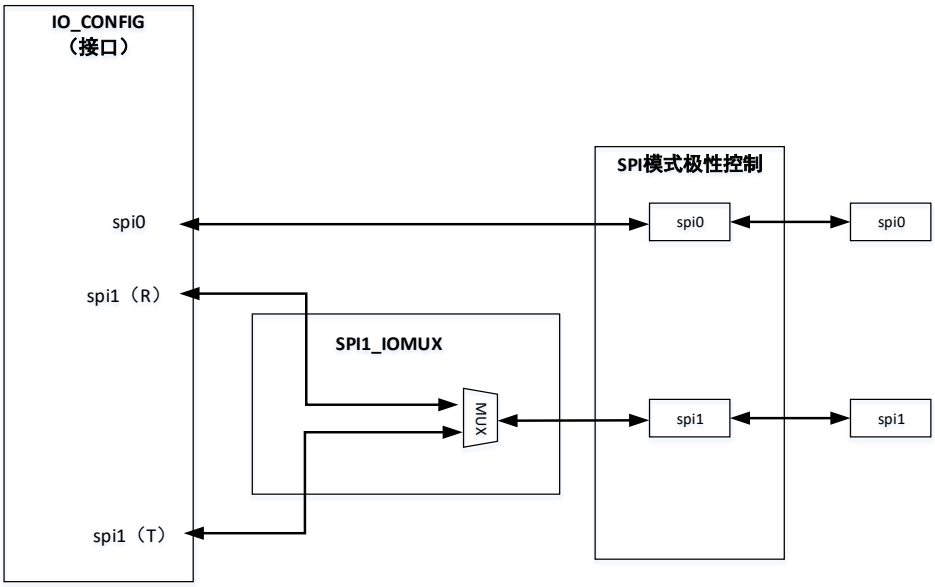
10.2 硬件接口信号描述

表10-1 SPI 接口信号列表

信号名称	方向	电平类型	相关模块	描述
SPI0_CK	O	LVCMOS	SPI 从设备	SPI0 接口时钟
SPI0_DO	O	LVCMOS	SPI 从设备	SPI0 接口数据输出
SPI0_DI	I	LVCMOS	SPI 从设备	SPI0 接口数据输入
SPI0_CS0	O	LVCMOS	SPI 从设备	SPI0 片选 0
SPI0_CS1	O	LVCMOS	SPI 从设备	SPI0 片选 1
SPI1_CK(R)	O	LVCMOS	SPI 从设备	SPI1 接口时钟
SPI1_DO(R)	O	LVCMOS	SPI 从设备	SPI1 接口数据输出
SPI1_DI(R)	I	LVCMOS	SPI 从设备	SPI1 接口数据输入
SPI1_CS0(R)	O	LVCMOS	SPI 从设备	SPI1 片选 0
SPI1_CS1(R)	O	LVCMOS	SPI 从设备	SPI1 片选 1
SPI1_CK(T)	O	LVCMOS	SPI 从设备	SPI1 接口时钟
SPI1_DO(T)	O	LVCMOS	SPI 从设备	SPI1 接口数据输出
SPI1_DI(T)	I	LVCMOS	SPI 从设备	SPI1 接口数据输入
SPI1_CS0(T)	O	LVCMOS	SPI 从设备	SPI1 片选 0
SPI1_CS1(T)	O	LVCMOS	SPI 从设备	SPI1 片选 1

版权所有 © 海思技术有限公司

图10-1 SPI 控制器与接口的对应关系



如图 10-1 所示，SPI0 控制器对应 SPI0 接口，而 SPI1 可以通过配置选择连接 SPI1(R)或者 SPI1(T)接口。

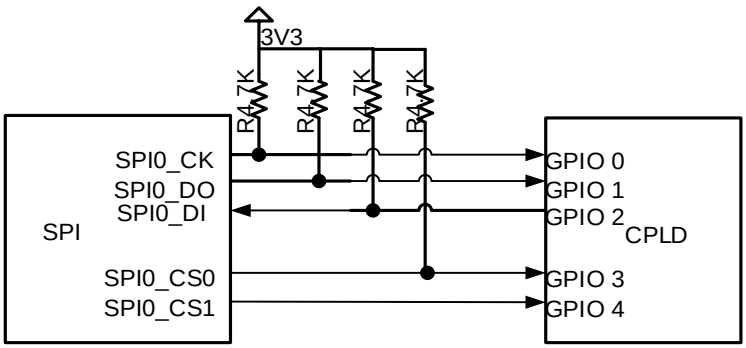
说明

以上信号中“T”代表信号复用在 IOCONFIG（T）中，“R”代表信号复用在 IOCONFIG（R）中。

10.3 硬件电路设计指导

10.3.1 典型应用框图

图10-2 SPI 接口外接电路参考图



版权所有 © 海思技术有限公司

电路参考图如图 10-2 所示。

- SPI0_CK，SPI0_DO 外接上拉电阻，SPI0_DI 必须外接上拉电阻，电阻值 4.7KΩ 为参考值。
- 根据仿真结果确认是否添加源端和终端匹配电阻。

10.3.2 典型时序配置

图 10-3～图 10-10 中，spo 表示 SPICLKOUT 极性，sph 表示 SPICLKOUT 相位，spo、sph 不同取值由 MotorolaSPI 帧格式内部字段控制。

- MotorolaSPI 帧格式（spo=0、sph=0）

图10-3 MotorolaSPI 单帧帧格式（spo=0、sph=0）

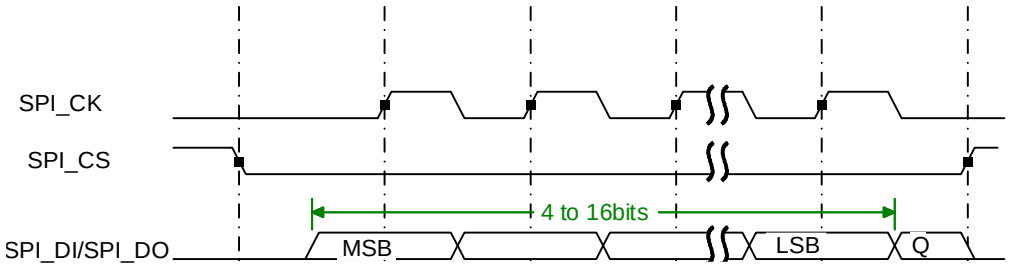
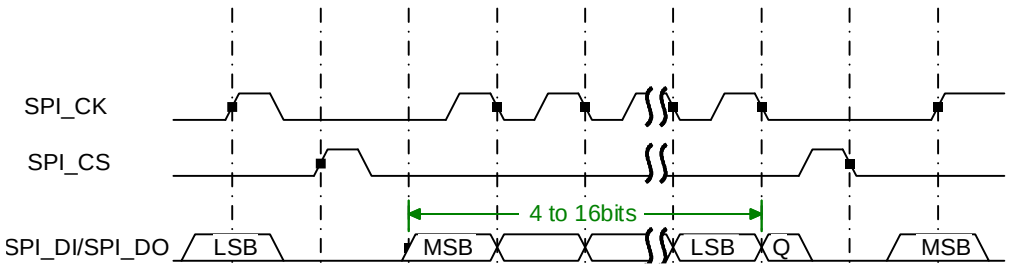


图10-4 MotorolaSPI 连续帧帧格式（spo=0、sph=0）



在该模式下，当 SPI 处于空闲状态时：

- SPI_CK 信号设置为低。
- SPI_CSx 设置为高。
- 发送数据线 SPI_DO 强制为低。

当 SPI 处于使能状态，而且发送 FIFO 内部存在有效数据时，设置 SPI_CSx 信号为低。

版权所有 © 海思技术有限公司

表示开始传输数据。半个 SPI_CK 时钟周期之后，有效的 Master 数据传输到 SPI_DO 管脚。SPI_CK 时钟管脚会在接下来的半个 SPI_CK 时钟周期之后变化为高电平。数据就会在 SPI_CK 时钟的上升沿被捕获，在时钟的下降沿被传送。

如果传输单个 Word，当捕捉到传输的最后 1bit 数据，SPICSN 会在接下来的 1 个 SPI_CK 时钟之后恢复为高电平。

如果是连续的传输，SPICSN 信号在 2 个 Word 传输之间必须将 SPI_CK 时钟拉高一个时钟周期。这是因为 sph 为 0 时，Salve 选择管脚会固定其内部串行设准寄存器的数据，使它不会变化。因此在连续传输时，主设备必须在每 2 个 Word 传输之间将 SPICSN 信号拉高。连续传输结束时，SPICSN 会在捕获到最后 1bit 数据之后的 1 个 SPI_CK 时钟周期之后恢复为高电平。

- MotorolaSPI 帧格式（spo=0、sph=1）

图10-5 MotorolaSPI 单帧帧格式（spo=0、sph=1）

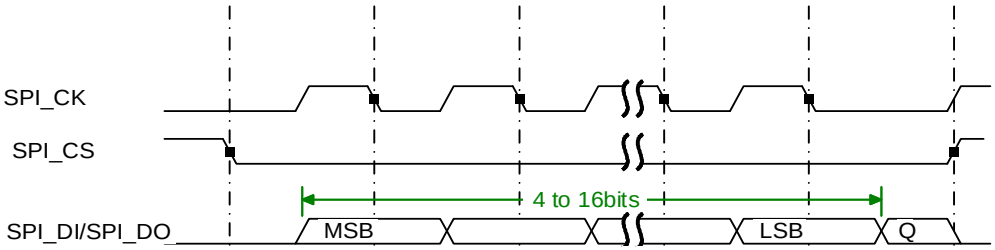
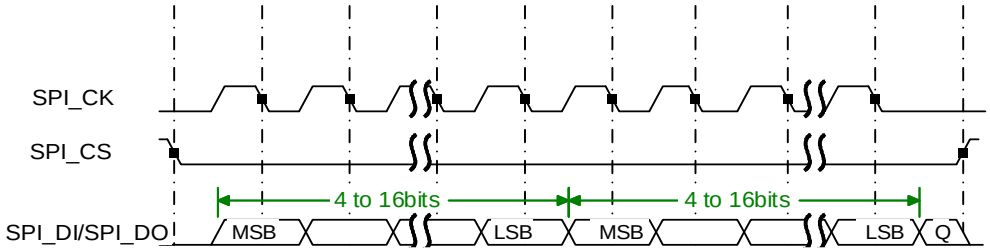


图10-6 MotorolaSPI 连续帧帧格式（spo=0、sph=1）



在该模式下，当 SPI 处于空闲状态时：

- SPI_CK 信号设置为低。
- SPI_CSx 设置为高。
- 发送数据线 SPI_DO 强制为低。

当 SPI 处于使能状态，而且发送 FIFO 内不存在有效数据时，设置 SPI_CSx 信号为低，表示开始传输数据。半个 SPI_CK 时钟周期之后，有效的 Master 数据传输

版权所有 © 海思技术有限公司

到 SPI_DO 管脚。SPI_CK 时钟管脚变化为低电平。数据就会在 SPI_CK 时钟的下降沿被捕获，在时钟的上升沿被传送。

如果传输单个 Word，当捕捉到传输的最后 1bit 数据，SPICSN 会在接下来的 1 个 SPI_CK 时钟之后恢复为高电平。

如果是连续的传输，SPICSN 信号在 2 个 Word 传输之间必须将 SPI_CK 时钟拉高一个时钟周期。这是因为 sph 为 0 时，Salve 选择管脚会固定其内补串行设准寄存器的数据，使它不会变化。因此在连续传输时，主设准必须在每 2 个 Word 传输之间将 SPICSN 信号拉高。连续传输结束时，SPICSN 会在捕获到最后 1bit 数据之后的 1 个 SPI_CK 时钟周期之后恢复为高电平。

- MotorolaSPI 帧格式（spo=1、sph=0）

图10-7 MotorolaSPI 单帧帧格式（spo=1、sph=0）

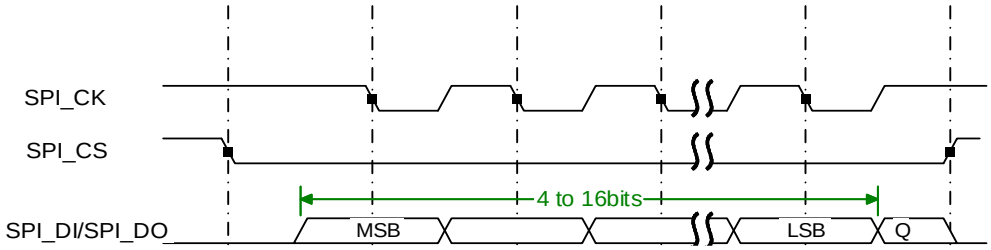
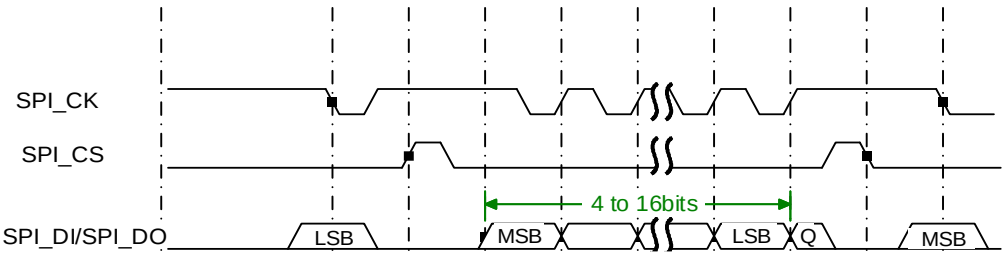


图10-8 MotorolaSPI 连续帧帧格式（spo=1、sph=0）



在该模式下，当 SPI 处于空闲状态时：

- SPI_CK 信号设置为高。
- SPI_CSx 设置为高。
- 发送数据线 SPI_DO 强制为低。

当 SPI 为使能状态，而且在发送 FIFO 内补有有效数据时，设置 SPI_CSx 信号为低表示开始传输数据。半个 SPI_CK 时钟周期之后，有效的 Master 数据传输到

版权所有 © 海思技术有限公司

SPI_DO 管脚。SPI_CK 时钟管脚会在接下来的半个 SPI_CK 时钟周期之后变化为低电平。数据就会在 SPI_CK 时钟的下降沿被捕获，在时钟的上升沿被传送。

如果传输单个 Word，当捕捉到传输的最后 1bit 数据，SPI_CSx 会在接下来的 1 个 SPI_CK 时钟之后恢复为高电平。

当连续传输时，在传输数据 Word 之间 SPI_CSx 保持为低。连续传输结束时，SP_SPI_CSx 会在捕获到最后 1bit 数据之后的 1 个 SPI_CK 时钟之后恢复为高电平。

- MotorolaSPI 帧格式（spo=1、sph=1）

图10-9 MotorolaSPI 单帧帧格式（spo=1、sph=1）

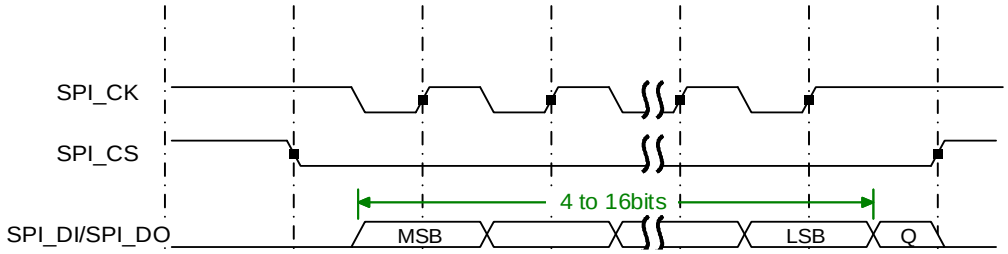
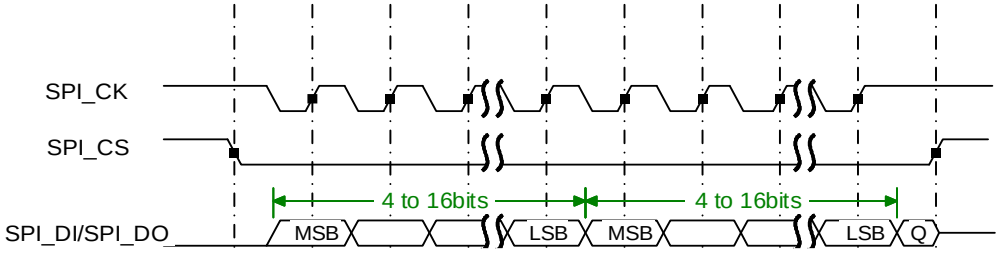


图10-10 MotorolaSPI 连续帧帧格式（spo=1、sph=1）



在该模式下，当 SPI 处于空闲状态时：

- SPI_CK 信号设置为高。
- SPI_CSx 设置为高。
- 发送数据线 SPI_DO 强制为低。

当 SPI 为使能状态，而且在发送 FIFO 内部有效数据时，设置 SPI_CSx 信号为低表示开始传输数据。半个 SPI_CK 时钟之后，有效的 Master 数据传输到 SPI_DO 管脚。同时，时钟 SPI_CK 从一个下降沿开始有效。数据是在 SPI_CK 时钟的下降沿被捕获，在时钟的上升沿被传送。

版权所有 © 海思技术有限公司

如果传输单个Word，SPI_CSx会在捕获到传输的最后1bit数据之后的1个SPI_CK时钟周期之后恢复为高电平。

如果是连续传输，SPI_CSx 信号始终保持为低，直到传输结束时，SPI_CSx 就会在捕获到最后 1bit 数据之后的 1 个 SPI_CK 时钟周期之后恢复到空闲为高的状态。对于连续的传输来说，信号 SPICSN 在传输的过程中一直保持为低，结束的方式与单个传输的方式相同。

10.4 接口时序

请参见 23.4 SPI 时序参数章节描述。

版权所有 © 海思技术有限公司

11 eMMC 接口

11.1 概述

eMMC 控制器（以下简称 eMMC）用于处理对 eMMC 卡的读写等操作，eMMC 支持符合以下协议的设备：

- Embedded Multimedia Cards (eMMC - version 4.5)。

eMMC 控制器有如下特性：

- 接口时钟频率可编配置。
- 包含数据发送方向与接收方向的 2 个 FIFO，FIFO 深度为 256Word。
- 支持 FIFO 阈值可配，DMA 传输时 Burst 大小可配。
- 支持 FIFO 上溢出与下溢出中断告警，防止数据传输错误。
- 支持命令与数据的 CRC 生成与校验。
- 支持低功耗模式关闭 eMMC 时钟和接口时钟。
- 支持 1Byte ~ 65535Byte 的块数据读写操作。
- 支持 eMMC 卡流数据读写方式。
- 支持命令完成中断、超时中断。
- 支持对 response 自动检测。
- 支持从 eMMC 进行 boot。
- 容量不低于 8GB。
- 数据位宽支持 1bit、4bit、8bit。
- 支持 eMMC4.5 版本。
- eMMC 控制器支持 1bit 和 2bit 的 ECC 错误注入。

版权所有 © 海思技术有限公司

11.2 硬件接口信号描述

表11-1 eMMC 控制器接口信号描述

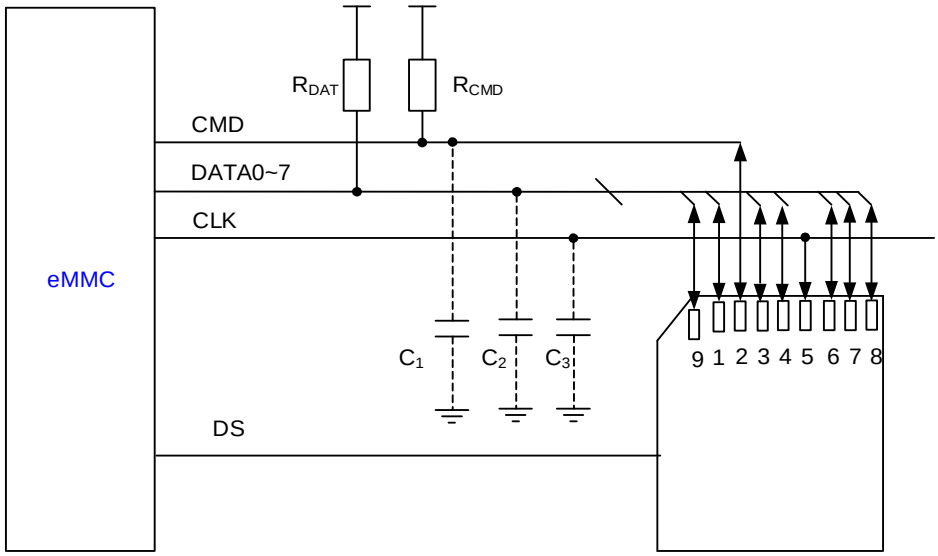
信号名称	方向	电平类型	相关模块	描述
eMMC_CLK	O	LVCMOS	eMMC 颗粒	输出时钟信号
eMMC_CMD	I/O	LVCMOS	eMMC 颗粒	双向命令信号
eMMC_DATA0	I/O	LVCMOS	eMMC 颗粒	双向数据信号 0
eMMC_DATA1	I/O	LVCMOS	eMMC 颗粒	双向数据信号 1
eMMC_DATA2	I/O	LVCMOS	eMMC 颗粒	双向数据信号 2
eMMC_DATA3	I/O	LVCMOS	eMMC 颗粒	双向数据信号 3
eMMC_DATA4	I/O	LVCMOS	eMMC 颗粒	双向数据信号 4
eMMC_DATA5	I/O	LVCMOS	eMMC 颗粒	双向数据信号 5
eMMC_DATA6	I/O	LVCMOS	eMMC 颗粒	双向数据信号 6
eMMC_DATA7	I/O	LVCMOS	eMMC 颗粒	双向数据信号 7
eMMC_DS	I	LVCMOS	eMMC 颗粒	Data strobe 信号

11.3 硬件电路设计指导

eMMC 的典型应用电路如图 11-1 所示。

版权所有 © 海思技术有限公司

图11-1 eMMC 典型应用电路图



eMMC 通过 1 根时钟信号线、1 根双向指令信号线和 8 根双向数据信号线与卡设备对接来完成命令与数据的交互。指令信号、数据信号均工作在上拉模式。上拉电阻参数及各信号线负载电容限制如表 11-2 所示。

表11-2 信号线负载参数

参数	最小值	最大值	描述
R_{DAT}、R_{CMD}	10kΩ	100kΩ	上拉电阻。
负载容抗 C_x	-	30pF	负载电容 $C_x=C_{mmcHOST}+C_{bus}+C_{card}$。每张卡最大负载电容 C_{card} 为 10pF，所以 $C_{mmcHOST}+C_{bus}$ 应该小于 20pF。
信号线感抗	-	16nH	Fpp 20MHz。

须知

表 11-2 为参考值，请根据实际仿真情况和对接器件选择合适值。

版权所有 © 海思技术有限公司

11.4 接口时序

请参见 23.8 eMMC 时序参数章节描述。

版权所有 © 海思技术有限公司

12 SDIO 接口

12.1 概述

SDIO 控制用于对外对接扩展的 SDIO 设备，支持以下协议：

- Secure Digital I/O（SDIO-version 2.0）。

SDIO 控制器具有以下特性：

- 支持内部 DMA 数据传输方式。
- 包含数据发送方向与接收方向的 2 个 FIFO，FIFO 深度为 256Word。
- 支持 FIFO 阈值可配，DMA 传输时 Burst 大小可配。
- 支持 FIFO 上溢出与下溢出中断告警，防止数据传输错误。
- 支持命令与数据的 CRC 生成与校验。
- 接口时钟频率可编程，最大可配置为 50MHz。
- 支持低功耗模式关闭 SDIO 时钟和接口时钟。
- 数据位宽支持 1bit、4bit，可根据对接器件选择。
- 支持 1Byte ~ 512Byte 的块数据读写操作。
- 支持 SDIO 的 suspend 操作、resume 操作和 readwait 操作。

版权所有 © 海思技术有限公司

12.2 硬件接口信号描述

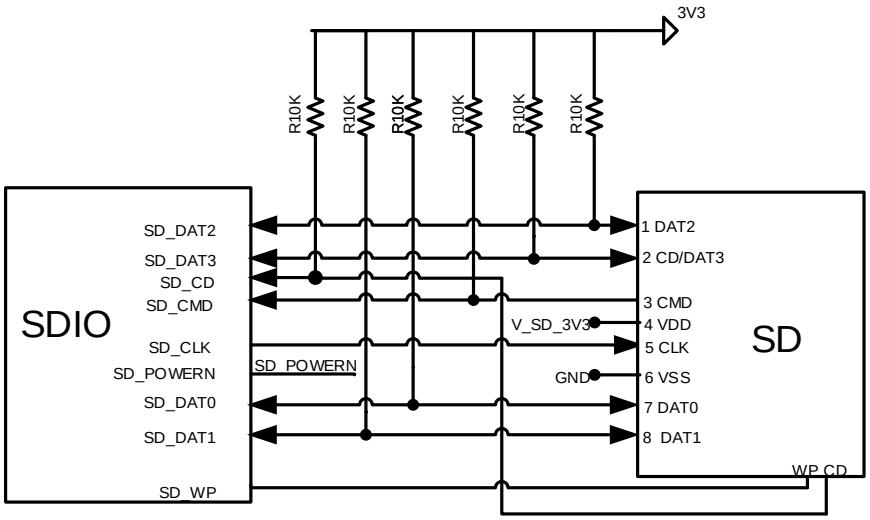
表12-1 SDIO 接口信号列表

信号名称	方向	电平类型	相关模块	描述
SD_CMD	I/O	LVCMOS	SD 卡	SD 卡命令信号
SD_CLK	O	LVCMOS	SD 卡	SD 卡输出接口时钟信号
SD_CD	I	LVCMOS	SD 卡	SD 卡检测信号 card detect
SD_POWERN	O	LVCMOS	上电控制电路	SD 卡电源使能控制信号
SD_WP	I	LVCMOS	SD 卡	SD 卡写保护检测信号 write protect
SD_DAT0	I/O	LVCMOS	SD 卡	SD 卡数据信号 0
SD_DAT1	I/O	LVCMOS	SD 卡	SD 卡数据信号 1
SD_DAT2	I/O	LVCMOS	SD 卡	SD 卡数据信号 2
SD_DAT3	I/O	LVCMOS	SD 卡	SD 卡数据信号 3

版权所有 © 海思技术有限公司

12.3 硬件电路设计指导

图12-1 SDIO 接口电路参考图



- 根据仿真结果确认是否添加源端和终端匹配电阻。
- 根据 SD_CD 卡低在位信号判断是否上电，然后 SD_POWERN 信号打开三极管使 PMOS 管导通，开始给 SD 卡供电。
- WP 为写保护信号，根据 SD 卡的侧方上下拉开关决定。WP 为高表示写保护开启，为低表示写保护关闭。
- 电路图中上拉电压不能为 SD 侧的 Powern 3.3V，请注意。
- 图中 SD_DAT 信号和 SD_CMD 信号上拉电阻需要介于 10K~100K 之间，其他上拉电阻仅供参考。

12.4 接口时序

请参见 23.7 SDIO 时序参数章节描述。

版权所有 © 海思技术有限公司

13 MDIO 接口

13.1 概述

MDIO 是 BMC 对外部 PHY 芯片的接口控制模块，软件可以通过配置 MDIO 相应寄存器实现对 PHY 芯片内部寄存器的读写，最终实现对 PHY 芯片的控制和管理。例如复位控制、自环控制、速度选择、双工选择、冲突测试、自协商使能、物理层状态获取等等。

MDIO 支持以下特性：

- 支持 MDIO 接口时序，时钟频率可配置为 0.5/2.5/6.25MHz。
- 每个 MDIO 接口可独立配置为支持 IEEE802.3 协议的 Clause22 章节或 Clause45 章节。
- 支持对 PHY 内部寄存器的读写访问，PHY 地址、寄存器地址等可配置。
- 支持 1 个 MDIO 模块。
- 支持对 GE PHY 内部寄存器的自动查询，每个 MDIO 接口最大支持 5 个 PHY 器件的状态查询，PHY 状态改变则上报中断（每个配置的 PHY 地址可以监控指定最多 2 个地址寄存器的任意指定位状态值是否发生改变）。
- 支持 3.3V 电压。

13.2 硬件接口信号描述

MDIO 接口一共有 2 个信号管脚，信号名称及功能说明见表 13-1，接口电压 3.3V。

版权所有 © 海思技术有限公司

须知

与 RMII 标准协议不同，该接口无 RXER 信号指示接收错误，对于本 MAC，通过检查 CRC 来判断是否有报文错。

两个 RMII 接口与 MDIO 接口，三个接口电压必须相同。

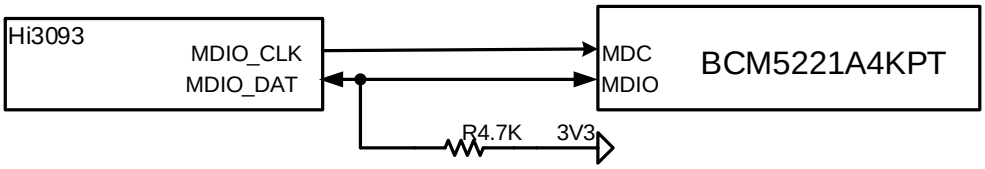
MDIO 应使用 3.3V 上拉。

表13-1 MDIO 管脚

信号名称	方向	电平类型	相关模块	描述
MDIO_CLK	O	LVCMOS	PHY	MDIO 时钟
MDIO_DAT	IO	LVCMOS	PHY	MDIO 数据

13.3 硬件电路设计指导

图13-1 MDIO 接口电路设计参考图



- MDIO 接口的数据信号需要上拉。

版权所有 © 海思技术有限公司

14 I2C 接口

14.1 概述

I2C（The Inter-Integrated Circuit）控制器实现标准 I2C 主设备功能，兼容 Philips I2C 总线协议，可完成对 I2C 总线上的从设备的数据发送和接收。

Hi3093 提供了 16 个非安全 I2C 控制器和 1 个安全 I2C 控制器。每个 I2C 包括独立的地址和中断线。

I2C 控制器具有以下特点：

- 支持标准 I2C 总线协议。
- 支持主设备和从设备操作。
- 支持可编程时钟，可实现不同通讯速率（100K/400Kbps）。
- 支持 DMA 数据搬运，其中安全 I2C 不支持 DMA 数据搬运。
- 支持中断和查询两种数据搬运方式。
- 支持 FIFO 深度 64Byte。
- 支持防挂死功能。

14.2 硬件接口信号描述

表14-1 I2C 接口信号列表

信号名称	方向	电平类型	相关模块	描述
SDA0	IO	LVCMOS	I2C 从器件/主器件	I2C0 数据，是 OD 门。

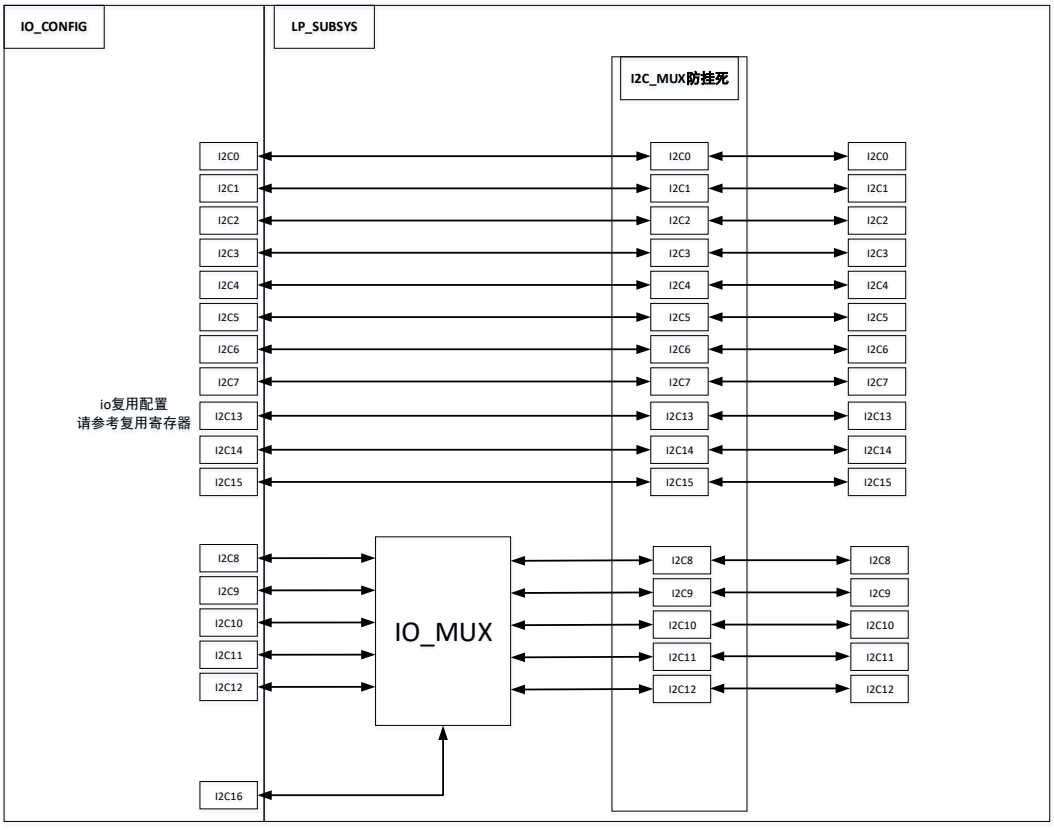
版权所有 © 海思技术有限公司

信号名称	方向	电平类型	相关模块	描述
SCL0	IO	LVCMOS	I2C 从器件/主器件	I2C0 时钟，是 OD 门。
SDA1	IO	LVCMOS	I2C 从器件/主器件	I2C1 数据，是 OD 门。
SCL1	IO	LVCMOS	I2C 从器件/主器件	I2C1 时钟，是 OD 门。
SDA2	IO	LVCMOS	I2C 从器件/主器件	I2C2 数据，是 OD 门。
SCL2	IO	LVCMOS	I2C 从器件/主器件	I2C2 时钟，是 OD 门。
SDA3	IO	LVCMOS	I2C 从器件/主器件	I2C3 数据，是 OD 门。
SCL3	IO	LVCMOS	I2C 从器件/主器件	I2C3 时钟，是 OD 门。
SDA4	IO	LVCMOS	I2C 从器件/主器件	I2C4 数据，是 OD 门。
SCL4	IO	LVCMOS	I2C 从器件/主器件	I2C4 时钟，是 OD 门。
SDA5	IO	LVCMOS	I2C 从器件/主器件	I2C5 数据，是 OD 门。
SCL5	IO	LVCMOS	I2C 从器件/主器件	I2C5 时钟，是 OD 门。
SDA6	IO	LVCMOS	I2C 从器件/主器件	I2C6 数据，是 OD 门。
SCL6	IO	LVCMOS	I2C 从器件/主器件	I2C6 时钟，是 OD 门。
SDA7	IO	LVCMOS	I2C 从器件/主器件	I2C7 数据，是 OD 门。
SCL7	IO	LVCMOS	I2C 从器件/主器件	I2C7 时钟，是 OD 门。
SDA8	IO	LVCMOS	I2C 从器件/主器件	I2C8 数据，是 OD 门。
SCL8	IO	LVCMOS	I2C 从器件/主器件	I2C8 时钟，是 OD 门。
SDA9	IO	LVCMOS	I2C 从器件/主器件	I2C9 数据，是 OD 门。
SCL9	IO	LVCMOS	I2C 从器件/主器件	I2C9 时钟，是 OD 门。
SDA10	IO	LVCMOS	I2C 从器件/主器件	I2C10 数据，是 OD 门。
SCL10	IO	LVCMOS	I2C 从器件/主器件	I2C10 时钟，是 OD 门。
SDA11	IO	LVCMOS	I2C 从器件/主器件	I2C11 数据，是 OD 门。
SCL11	IO	LVCMOS	I2C 从器件/主器件	I2C11 时钟，是 OD 门。
SDA12	IO	LVCMOS	I2C 从器件/主器件	I2C12 数据，是 OD 门。

版权所有 © 海思技术有限公司

信号名称	方向	电平类型	相关模块	描述
SCL12	IO	LVCMOS	I2C 从器件/主器件	I2C12 时钟，是 OD 门。
SDA13	IO	LVCMOS	I2C 从器件/主器件	I2C13 数据，是 OD 门。
SCL13	IO	LVCMOS	I2C 从器件/主器件	I2C13 时钟，是 OD 门。
SDA14	IO	LVCMOS	I2C 从器件/主器件	I2C14 数据，是 OD 门。
SCL14	IO	LVCMOS	I2C 从器件/主器件	I2C14 时钟，是 OD 门。
SDA15	IO	LVCMOS	I2C 从器件/主器件	I2C15 数据，是 OD 门。
SCL15	IO	LVCMOS	I2C 从器件/主器件	I2C15 时钟，是 OD 门。
SDA16	IO	LVCMOS	I2C 从器件/主器件	I2C16 数据，是 OD 门。
SCL16	IO	LVCMOS	I2C 从器件/主器件	I2C16 时钟，是 OD 门。

图14-1 I2C 端口和控制器对应图



版权所有 © 海思技术有限公司

说明

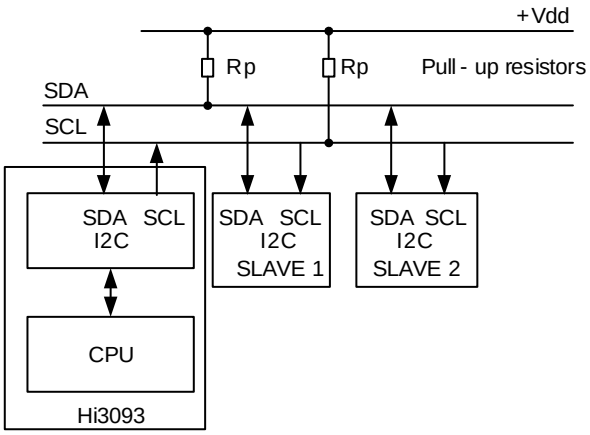
I2C 控制器共 16 个，I2C 端口有 17 个，I2C IOMUX 这个模块的作用是把 I2C8~I2C12 中选择一个复用到 I2C16 上面，默认 8~12 一一对应，I2C16 悬空，复用状态下可以选择 8~12 任一一个复用到 16，同时原来的端口悬空。

配置 LP 系统控制寄存器（物理地址 0x0871D334）。

14.3 硬件电路设计指导

I2C 总线典型应用电路如图 14-2 所示。

图14-2 I2C 典型应用电路原理图



I2C 总线是一种双线、双向串行总线，它提供了一种简单有效的数据传输方式，可以简化设备间的连接，适合多设备间的短距离少量数据传输。I2C 总线的灵活性使得系统开发和设备扩展变得很容易。

14.4 接口时序

请参见 23.5 I2C 时序参数章节描述。

版权所有 © 海思技术有限公司

15 RMII

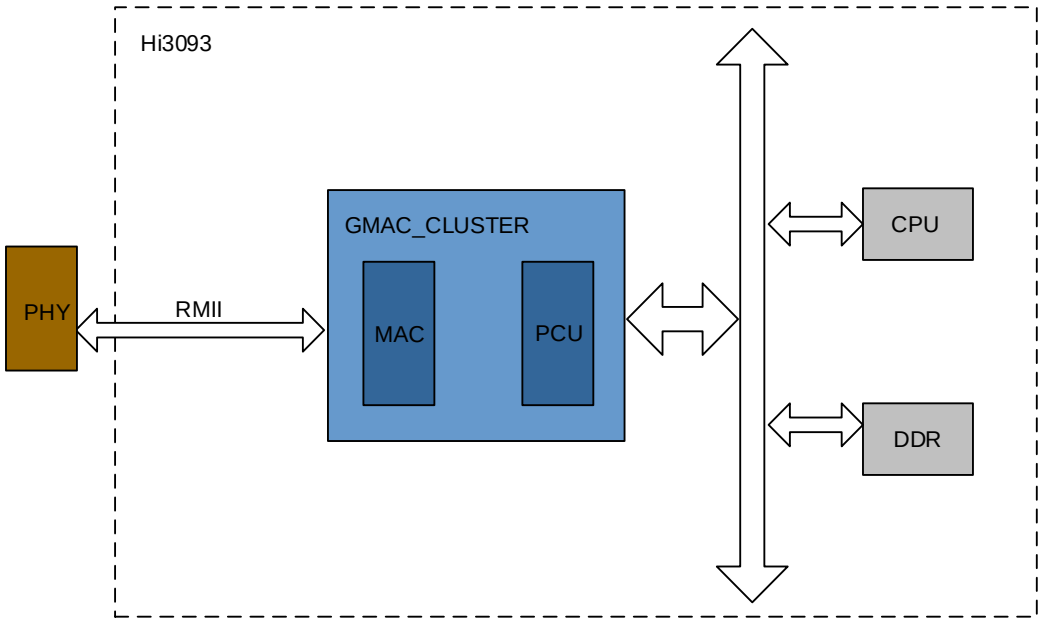
15.1 概述

BMC 支持路网口数据通道，提供 2 路 RMII 接口、数据链路层处理、报文缓存管理等功能模块。可实现网络报文接收、协议解析、缓存、发送等功能，网口在 BMC 中的位置如图 15-1 所示。

接收功能主要包括接收来自物理层（PHY）的数据，进行 CRC 校验，判断以太网数据帧的目的地址是否与本机地址相匹配，可以接收广播帧、流控帧等，并完成 3 层/4 层校验和检测，协议类型检测等。

发送功能主要包括接收来自应用层的数据，组装成数据帧，并根据配置决定是否添加 3 层和 4 层的校验和，是否产生 CRC 校验等，再通过物理层接口发送给 PHY。

图15-1 网口（GMAC_CLUSTER）在 BMC 芯片中的位置



版权所有 © 海思技术有限公司

RMII 有以下特性：

- 支持 2 路 RMII10M/100M 接口。
- 通过 RMII 接口支持 NCSI 功能。
- 支持半/全双工从 PHY 侧至用户侧的帧接收功能：
  - 全双工支持 10/100MbpsRMII、10/100/1000MbpsSGMII 和 1000MbpsSerDes 接口。
  - 半双工支持 10/100MbpsRMII/SGMII 接口。
  - 支持识别流控帧，并将流控请求通知发送通道。
- 支持 MAC 环回测试功能：
  - 支持内环回测试，即从应用侧经过发送 FIFO 后环回到接收 FIFO 然后再返回给应用侧。
  - 支持外环回测试，即从链路侧（PHY 侧）发出报文经过接收 FIFO 环回到发送 FIFO 后再发送给链路侧。

15.2 硬件接口信号描述

表15-1 RMII 接口信号列表

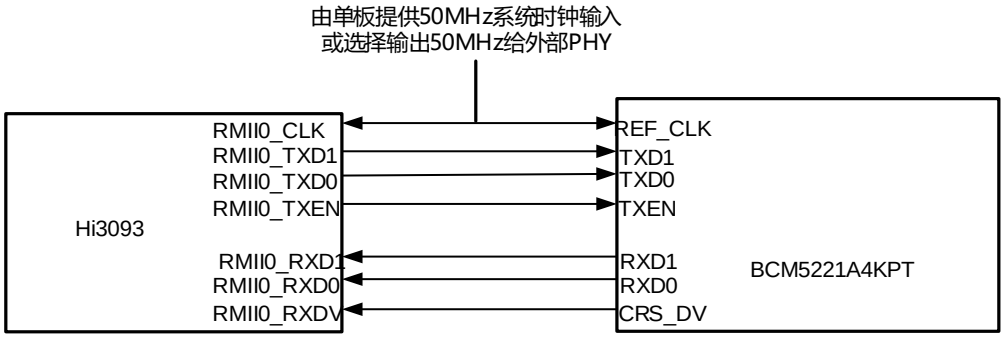
信号名称	方向	电平类型	相关模块	描述
RMII0_TXD_1	O	LVCMOS	PHY/MAC	RMII0 接口发送数据线
RMII0_TXD_0	O	LVCMOS	PHY/MAC	RMII0 接口发送数据线
RMII0_TXEN	O	LVCMOS	PHY/MAC	RMII0 接口发送使能
RMII0_CLK	IO	LVCMOS	PHY/MAC	RMII0 参考时钟可配置输入和输出 50MHz
RMII0_RXD_1	I	LVCMOS	PHY/MAC	RMII0 接口接收数据线
RMII0_RXD_0	I	LVCMOS	PHY/MAC	RMII0 接口接收数据线
RMII0_RXDV	I	LVCMOS	PHY/MAC	RMII0 接口载波监听信号
RMII1_TXD_1	O	LVCMOS	PHY/MAC	RMII1 接口发送数据线

版权所有 © 海思技术有限公司

信号名称	方向	电平类型	相关模块	描述
RMII1_TXD_0	O	LVCMOS	PHY/MAC	RMII1 接口发送数据线
RMII1_TXEN	O	LVCMOS	PHY/MAC	RMII1 接口发送使能信号
RMII1_CLK	IO	LVCMOS	PHY/MAC	RMII1 参考时钟可配置输入和输出 50MHz
RMII1_RXD_1	I	LVCMOS	PHY/MAC	RMII1 接口接收数据线
RMII1_RXD_0	I	LVCMOS	PHY/MAC	RMII1 接口接收数据线
RMII1_RXDV	I	LVCMOS	PHY/MAC	RMII1 接口载波监听信号

15.3 硬件电路设计指导

图15-2 RMII 接口电路设计参考图



须知

与 RMII 标准协议不同，该接口无 RXER 信号指示接收错误，对于本 MAC，通过检查 CRC 来判断是否有报文错。

RMII 接口的电路设计请参考图 15-2，图中 RMII 接口只有 RMII0，RMII1 接口与 RMII0 接口电路设计相同，电路设计时需要注意以下几点：

- RMII 接口的时钟既支持由片外提供，也支持由片内提供。

版权所有 © 海思技术有限公司

- RMII 接口使用 Hi3093 片内提供时钟时，输出 50MHz 时钟送到 PHY。
- 注意 Hi3093 端的 RMIIx_RXDV（x 为 0 或 1）在对端连接的管脚名称为 CRS_DV。
- 根据仿真结果确认是否添加源端和终端匹配电阻。

15.4 接口时序

请参见 23.3 RMII 时序参数章节描述。

版权所有 © 海思技术有限公司

16 CANBUS

16.1 概述

BMC 集成了两个独立的 CAN 控制器，内部挂接到 APB 总线上，外部通过的 CAN 收发器将 TX,RX 电平信号转为电压差分信号连接到 CAN 总线，与具有 CAN 接口的设备通讯。

CANBUS 有以下特性：

- 支持两路 CANBUS 接口。
- 支持 CANbus2.0 协议，A 和 B 部分，包含标准与扩展的数据和远程帧，0~8Byte 长度，最高支持 1Mbit/sec 速率。
- 极性可配置。
- 支持最大 Message Buffers 为 15，每个都可独立配置收发。
- 每个 Buffer 有单独的标识符屏蔽,支持全局屏蔽和独立屏蔽，其中 BUFFER 14 支持独立标识符屏蔽，BUFFER 0~13 支持全局标识符屏蔽。
- 同一个 ID 可以设置多重 Buffers。
- 支持 1~15 个中断源，每个中断源都可屏蔽，支持所有 Message buffers 收发或错误所产生的中断上报为一个中断输出。
- 当成功收发数据后支持 16 位计数器可配时间戳控制应答时间。
- 支持诊断模式下环回和只接收测试。

16.2 硬件接口信号描述

CAN BUS 接口主要包含一个发送数据信号和一个接收数据信号，信号名称及功能说明见表 16-1，接口电平为 LVCMOS 电平。

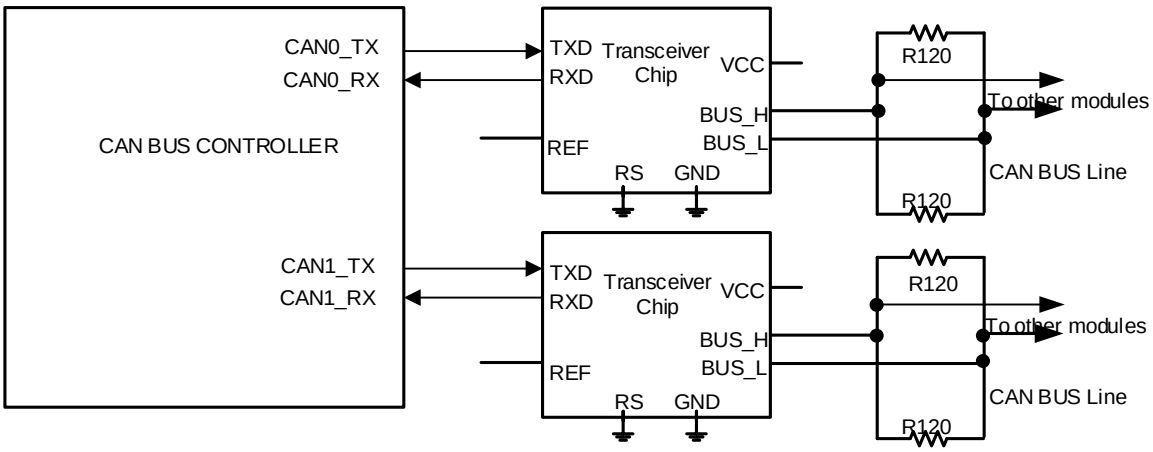
版权所有 © 海思技术有限公司

表16-1 CANBUS 接口信号列表

信号名称	方向	电平类型	相关模块	描述
CAN0_TX	O	LVCMOS	电平转换电路	CAN BUS0 发送数据线
CAN0_RX	I	LVCMOS	电平转换电路	CAN BUS0 接收数据线
CAN1_RX	I	LVCMOS	电平转换电路	CAN BUS1 接收数据线
CAN1_TX	O	LVCMOS	电平转换电路	CAN BUS1 发送数据线

16.3 硬件电路设计指导

图16-1 CAN BUS 接口外接电路参考图



典型连接电路请参考图 16-1。

- 由于 CAN BUS 是半双工总线结构，Hi3093 侧输出的为 3.3V 电平，因此需要参考实际对端芯片规格对 CAN BUS 接口进行电平转换,具体电平转换电路此处未列出。
- 此外还需注意 CAN 总线上需要并联 120Ω 阻抗电阻，提高信号质量。

版权所有 © 海思技术有限公司

16.4 接口时序

遵守 CANBUS 协议。

版权所有 © 海思技术有限公司

17 FAN&PWM

17.1 概述

FAN，风扇转速监控，通过检测 Fan 信号可以知道风扇的转速，FAN 信号的脉冲频率指示了风扇转速信息，脉冲频率和风扇转速是正比关系，通过测量固定时间内脉冲的个数就能知道风扇的转速。

FAN 有以下特性：

- 支持 16 个 Fan 信号输入。
- 支持 Fan 的上升沿检测或下降沿检测，可选择配置。
- 支持转速小于设定值或转速为 0 时上报异常中断，每一路输入可独立设置转速门限及中断屏蔽。
- 支持选择滤除宽度小于 125us，250us 或 500us 的脉冲。

PWM（Pulse Width Modulation），为脉宽调制，是利用数字输出来对模拟电路进行控制的一种非常有效的技术，广泛应用在从测量、通信到功率控制与变换的许多领域中。一般应用中，PWM 的周期通常是固定的，通过占空比实时变化来承载信息；在用于风扇控制时，因为风扇在较短的时间段内是恒速的，所以占空比可以通过寄存器来配置。BMC PWM 用于风扇转速控制。

PWM 具有以下特性：

- 支持 12 个通道，可单独控制每个通道的开启与关闭，也可以控制 PWM 功能的使能和关闭。
- 输出为方波信号。
- 每个通道的 PWM 的周期独立可配置，范围是 1 ~ 2^{28}-1 个工作时钟周期。
- 每个通道的占空比独立可配置，范围 0%~100%。
- PWM 模块的工作时钟为 APB 时钟。

版权所有 © 海思技术有限公司

- 支持 PWM 管脚中 8 个独立管脚，剩余 4 路管脚和其他管脚复用。
- 芯片 BMC 复位时，要维持风扇当前转速，不能风扇失控。PWM 控制器是否复位可配置。

17.2 硬件接口信号描述

表17-1 FAN&PWM 接口信号列表

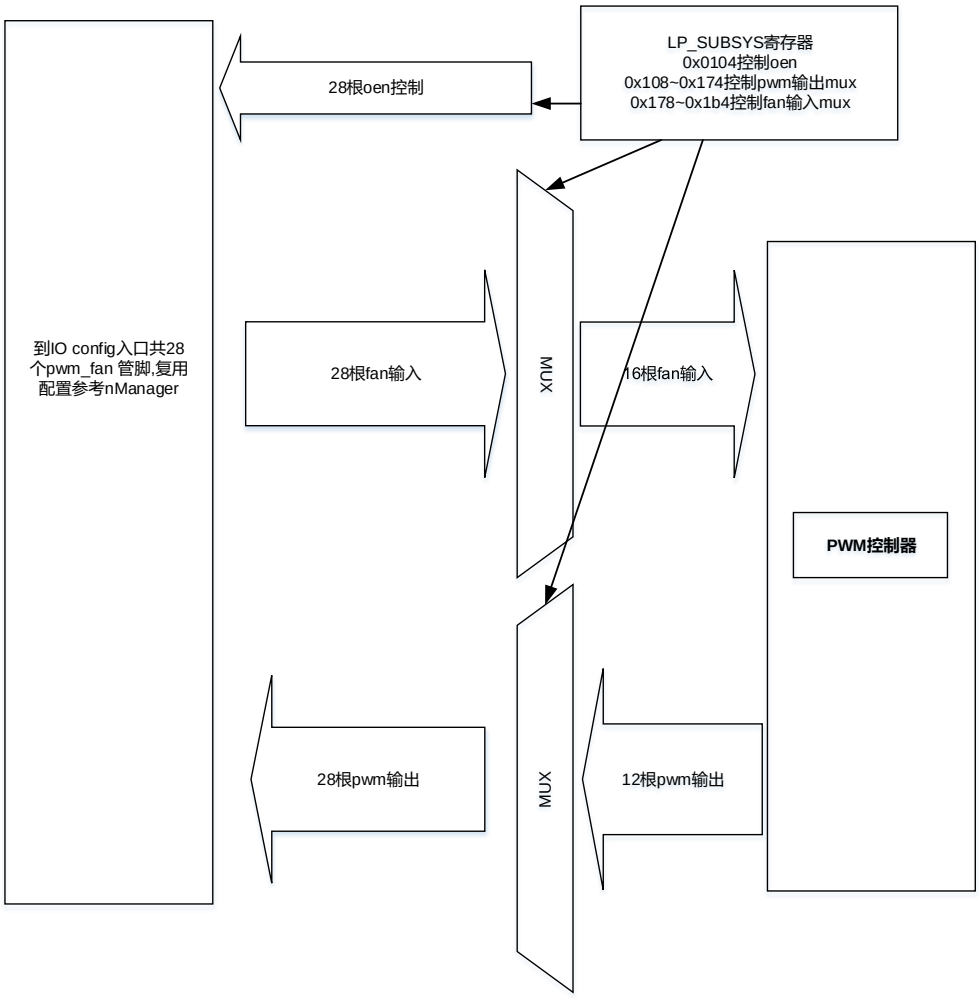
信号名称	方向	电平类型	相关模块	描述
PF_0	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 0。
PF_1	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 1。
PF_2	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 2。
PF_3	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 3。
PF_4	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 4。
PF_5	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 5。
PF_6	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 6。
PF_7	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 7。
PF_8	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 8。
PF_9	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 9。
PF_10	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 10。
PF_11	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 11。
PF_12	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 12。
PF_13	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 13。
PF_14	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 14。
PF_15	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 15。
PF_16	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 16。
PF_17	I/O	LVCMOS	风扇	PWM 信号输出,FAN 信号输入,通道 17。

版权所有 © 海思技术有限公司

信号名称	方向	电平类型	相关模块	描述
PF_18	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 18。
PF_19	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 19。
PF_20	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 20。
PF_21	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 21。
PF_22	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 22。
PF_23	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 23。
PF_24	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 24。
PF_25	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 25。
PF_26	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 26。
PF_27	I/O	LVCMOS	风扇	PWM 信号输出，FAN 信号输入，通道 27。

版权所有 © 海思技术有限公司

图17-1 FAN&PW 和管脚对应关系图



说明

PWM 控制器可以输出 12 根 PWM 线控制风扇转速，可以检测 16 根 FAN 输入来测试风扇转速。

由于各个产品线的所需管脚不同，为使 pwm 或者 fan 在复用时也都满足各产品线需求，所以管脚上有 28 根双向管脚用来连接 PWM 和 FAN，可以通过 oen 控制来确定是输出或者输入，输出表示 PWM 输出，输入表示 FAN 输入，同一管脚只能用作某一 PWM 或者某一 FAN。

同时还实现 12 根 PWM 到 28 根管脚的全 MUX 来选择 28 根管脚对应的内部 PWM 线。以及 28 根管脚到 16 根 FAN 的全 MUX，来选择 28 根管脚对应的内部 FAN 线。软件可以灵活控制使用，硬件设计根据实际需要进行设计。

版权所有 © 海思技术有限公司

18 JLC/JTAG

18.1 概述

JLC（JTAG Loader Controller）是一个 JTAG 主控制器，接口符合 IEEE Std 1149.1-2001 标准。利用该设备，可以方便地控制符合 IEEE Std 1149.1-2001 标准的 JTAG 器件，完成 FLASH 加载、CPLD 加载、板级测试等功能。

JLC 的主要特性如下：

- 支持双缓存，缓存深度 128，链长最大 128。
- 支持 TMS、TDI 并行或串行发送操作。
- 支持 TCK 频率灵活配置，最大可达 25MHz。
- 支持自动、手动 TMS 模式。
- 芯片复位时所有输出高阻。
- 支持对输入 TDO 进行延迟采样。
- 集成 JTAG Master 接口。
- 支持 2 路 JTAG master 接口，用于板载 CPLD，双硬盘背板 CPLD 的升级。
- 其中 1 路 JTAG Master/Slave 切换可以配，默认模式取决于管脚 STRAP[8]配置。

18.2 硬件接口信号描述

JTAG 有 2 路。

使用 strap 管脚和寄存器进行第一路 JTAG MASTER 和 SLAVE 的切换，以及 MUX 的切换。寄存器地址是 0x08740208。使用 strap 管脚和寄存器进行 MUX 的切换。具体含义可以参考《Hi3093 寄存器手册》的“SYSCTRL”模块寄存器表单。

版权所有 © 海思技术有限公司

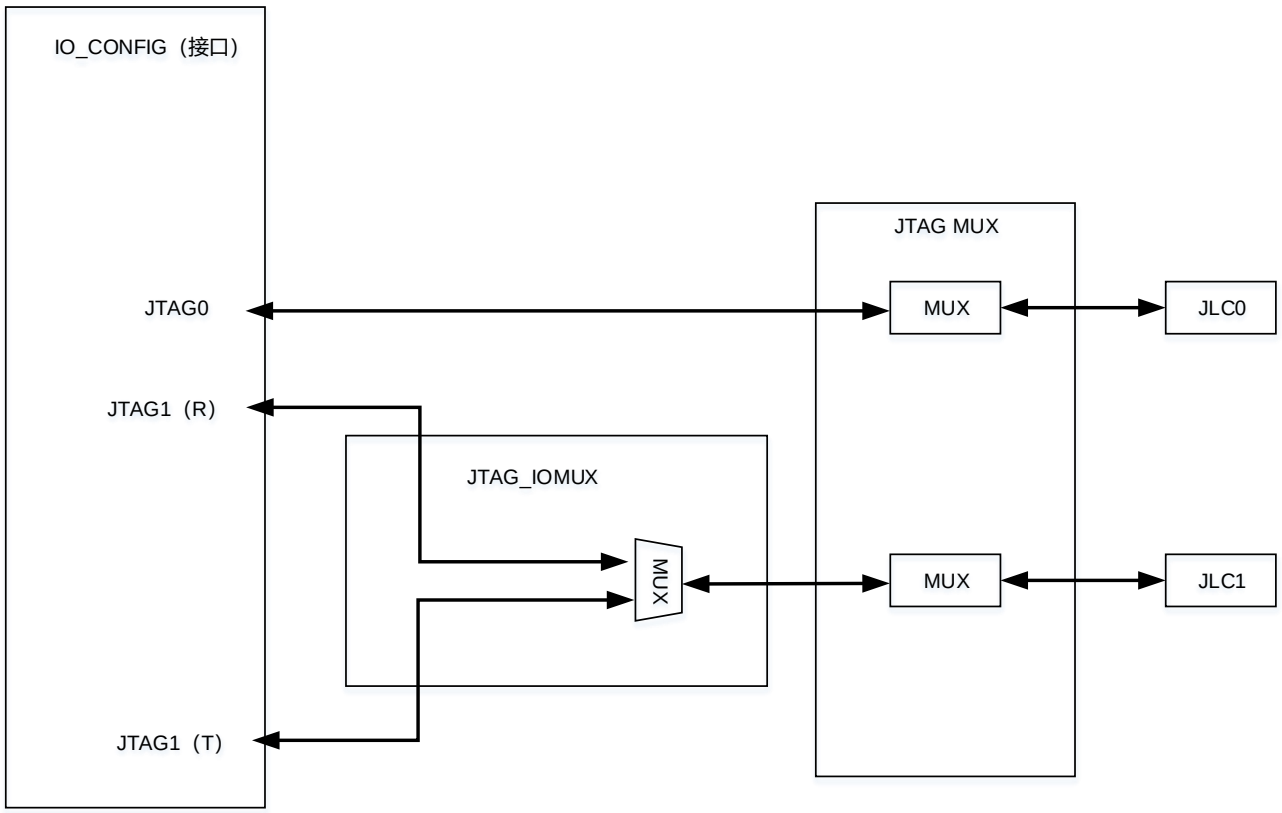
表18-1 JTAG 接口信号列表

信号名称	方向	电平类型	相关模块	描述
JTAG1_TDI(R)	O	LVCMOS	JTAG	JTAG1 的 TDI 信号。
JTAG1_TRSTN(R)	O	LVCMOS	JTAG	JTAG1 的 TRSTN 信号。
JTAG1_TMS(R)	O	LVCMOS	JTAG	JTAG1 的 TMS 信号。
JTAG1_TCK(R)	O	LVCMOS	JTAG	JTAG1 的 TCK 信号。
JTAG1_TDO(R)	I	LVCMOS	JTAG	JTAG1 的 TDO 信号。
JTAG1_TDI(T)	O	LVCMOS	JTAG	JTAG1 的 TDI 信号。
JTAG1_TRSTN(T)	O	LVCMOS	JTAG	JTAG1 的 TRSTN 信号。
JTAG1_TMS(T)	O	LVCMOS	JTAG	JTAG1 的 TMS 信号。
JTAG1_TCK(T)	O	LVCMOS	JTAG	JTAG1 的 TCK 信号。
JTAG1_TDO(T)	I	LVCMOS	JTAG	JTAG1 的 TDO 信号。
JTAG0_TCK	B	LVCMOS	JTAG	JTAG0 的 TCK 信号。 Master：Hi3093 给外设提供的 TCK，对芯片来说是输出。 Slave：外设给 Hi3093 提供的 TCK，对芯片来说是输入。
JTAG0_TRSTN	B	LVCMOS	JTAG	JTAG0 的 TRSTN 信号。 Master：Hi3093 给外设提供的 TRSTN，对芯片来说是输出。 Slave：外设给 Hi3093 提供的 TRSTN，对芯片来说是输入。
JTAG0_TMS	B	LVCMOS	JTAG	JTAG0 的 TMS 信号。 Master：Hi3093 给外设提供的 TMS，对芯片来说是输出。 Slave：外设给 Hi3093 提供的 TMS，对芯片来说是输入。

版权所有 © 海思技术有限公司

信号名称	方向	电平类型	相关模块	描述
JTAG0_TDO	B	LVCMOS	JTAG	JTAG0 的 TDO 信号。 Master:外设给 Hi3093 提供的 TDO，对芯片来说是输入。 Slave：Hi3093 给外设提供的 TDO，对芯片来说是输出。
JTAG0_TDI	B	LVCMOS	JTAG	JTAG0 的 TDI 信号。 Master：Hi3093 给外设提供的 TDI，对芯片来说是输出。 Slave：外设给 Hi3093 提供的 TDI，对芯片来说是输入。

图18-1 JTAG IO MUX 示意图



版权所有 © 海思技术有限公司

说明

为提升 IO 复用的灵活性，JTAG1 也通过 IOMUX 分别映射到两组管脚，具体请参见 2.5 复用关系列表。

18.3 接口时序

请参见 23.10 JTAG 时序参数章节描述。

版权所有 © 海思技术有限公司

19 SGPIO

19.1 概述

SGPIO 是通用串行输入输出接口，是用来串行化通用 IO 的一种方式，该模式定义了一个 Initiator 和一个 target，通常用在将输出信号输出到并行的 LED 指示信号灯上。

在 Hi3093 中，SGPIO 控制器作为 Initiator，通过 SGPIO 接口控制外接的 target。

- 支持 APB 接口。
- Hi3093 作为 Initiator。
- 支持最大 80 路输入和 80 路输出，可配置为 8/16/24/32/40/48/56/72/80 路。
  - 8 bit：SGPIOA
  - 16bit：SGPIOA，SGPIOB
  - 24bit：SGPIOA，SGPIOB，SGPIOC
  - 32bit：SGPIOA，SGPIOB，SGPIOC，SGPIOD
  - 40bit：SGPIOA，SGPIOB，SGPIOC，SGPIOD，SGPIOE
  - 48bit：SGPIOA，SGPIOB，SGPIOC，SGPIOD，SGPIOE，SGPIOF
  - 56bit：SGPIOA，SGPIOB，SGPIOC，SGPIOD，SGPIOE，SGPIOF，SGPIOG
  - 64bit：SGPIOA，SGPIOB，SGPIOC，SGPIOD，SGPIOE，SGPIOF，SGPIOG，SGPIOH
  - 72bit：SGPIOA，SGPIOB，SGPIOC，SGPIOD，SGPIOE，SGPIOF，SGPIOG，SGPIOH，SGPIOI
  - 80bit：SGPIOA，SGPIOB，SGPIOC，SGPIOD，SGPIOE，SGPIOF，SGPIOG，SGPIOH，SGPIOI，SGPIOJ
- SGPIO 时钟基于 APB 时钟分频，分频系数可配，频率支持 1kHz~1MHz。
- 数据传输格式按照 normal 格式，数据内容由软件指定。

版权所有 © 海思技术有限公司

- 支持中断上报。
- 支持中断屏蔽。
- 支持的中断触发模式：高电平触发，低电平触发，上沿触发，下沿触发。
- 支持 SGPMCK、SGPMLD 取反。
- 每组 4 个管脚，3.3V，实现 2 组，IO 复用。
- 实现 HOST 侧功能，对接 CPLD，实现 GPIO 扩展。
- 数据内容由软件指定。
- 只支持对接 CPLD。

19.2 硬件接口信号描述

表19-1 SGPIO 接口信号描述

信号名称	方向	电平类型	相关模块	描述
sgpio0_mck	O	LVCMOS	电平转换电路	Sgpio master clock
sgpio0_mld	O	LVCMOS	电平转换电路	Sgpio master load
sgpio0_mo	O	LVCMOS	电平转换电路	Sgpio master output
sgpio0_mi	I	LVCMOS	电平转换电路	Sgpio master input
sgpio1_mck	O	LVCMOS	电平转换电路	Sgpio master clock
sgpio1_mld	O	LVCMOS	电平转换电路	Sgpio master load
sgpio1_mo	O	LVCMOS	电平转换电路	Sgpio master output
sgpio1_mi	I	LVCMOS	电平转换电路	Sgpio master input

19.3 接口时序

遵照 SGPIO 协议。

版权所有 © 海思技术有限公司

20 SerDes 接口

20.1 概述

Hi3093 支持 SGMII（用于 GE 业务）、PCIE 高速接口、支持 USB3.0 的 SSP 接口。其中 GE 接口有两组；PCIE 接口有两组；USB3 的 SSP 接口一组。其中，GMAC SerDes 与 GMAC 相连，PCIE SerDes 与 PCIE 相连，USB3 SerDes 与 USB3 控制器相连。各种接口支持的速率及用途如表 20-1 所示。

表20-1 SerDes 接口应用表

SerDes 通道	接口	速率	用途
PCIE SerDes	PCIE	5GT/s 2.5GT/s	GPU、MCTP 与 HOST 的通信通道
GMAC SerDes	GE	1.25Gbps	以太网通信
USB3 SerDes	USB3	5GT/s	USB3 的 SSP 模式

Hi3093 的 SerDes 支持以下特性：

- 支持输入均衡、输出预加重可配置。
- SerDes 支持内环回，支持典型 PRBS 码流自发包，支持 PRBS 环回接收检测和统计功能（含误码统计）。
- 支持链路故障信息记录和查询功能。
- 提供数字眼图功能。
- 支持 1149.6 测试。

版权所有 © 海思技术有限公司

表20-2 SerDes 接口信号列表

名称	方向	电平类型	相关模块	描述
PCIE0_RXIN	I	CML	PCIE	PCIE0 SerDes 接收差分数据。
PCIE0_RXIP	I	CML	PCIE	PCIE0 SerDes 接收差分数据。
PCIE0_TXON	O	CML	PCIE	PCIE0 SerDes 发送差分数据。
PCIE0_TXOP	O	CML	PCIE	PCIE0 SerDes 发送差分数据。
PCIE0_REF_P	I	CML	时钟	PCIE0 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
PCIE0_REF_N	I	CML	时钟	PCIE0 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
RESREF0	I	Analog	-	PCIE SerDes 外接参考电阻 0.2K（±1% ± 100 ppm/°C），电阻另一端与模拟地连接，不使用 PCIE 时可悬空。
PCIE1_RXIN	I	CML	PCIE/MCTP	PCIE1 SerDes 接收差分数据。
PCIE1_RXIP	I	CML	PCIE/MCTP	PCIE1 SerDes 接收差分数据。
PCIE1_TXON	O	CML	PCIE/MCTP	PCIE1 SerDes 发送差分数据。
PCIE1_TXOP	O	CML	PCIE/MCTP	PCIE1 SerDes 发送差分数据。
PCIE1_REF_P	I	CML	时钟	PCIE1 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
PCIE1_REF_N	I	CML	时钟	PCIE1 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
GMAC0_RXIN	I	CML	GE	GMAC0 SerDes 接收差分数据。
GMAC0_RXIP	I	CML	GE	GMAC0 SerDes 接收差分数据。
GMAC0_TXON	O	CML	GE	GMAC0 SerDes 发送差分数据。
GMAC0_TXOP	O	CML	GE	GMAC0 SerDes 发送差分数据。

版权所有 © 海思技术有限公司

名称	方向	电平类型	相关模块	描述
GE_REF_P	I	CML	GE	GMAC SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
GE_REF_N	I	CML	GE	GMAC SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
RESREF1	I	Analog	-	GMAC 及 USB3 SerDes 外接参考电阻 0.2K（±1% ± 100 ppm/°C），电阻另一端与模拟地连接，不使用 GMAC 及 USB3 时可悬空。
GMAC1_RXIN	I	CML	GE	GMAC1 SerDes 接收差分数据。
GMAC1_RXIP	I	CML	GE	GMAC1 SerDes 接收差分数据。
GMAC1_TXON	O	CML	GE	GMAC1 SerDes 发送差分数据。
GMAC1_TXOP	O	CML	GE	GMAC1 SerDes 发送差分数据。
USB3_RX_P	I	CML	USB3	USB3 SerDes 接收差分数据。
USB3_RX_N	I	CML	USB3	USB3 SerDes 接收差分数据。
USB3_TX_P	O	CML	USB3	USB3 SerDes 发送差分数据。
USB3_TX_N	O	CML	USB3	USB3 SerDes 发送差分数据。

20.2 SerDes 电路说明

20.2.1 PCIE 业务接口

Hi3093 芯片支持两组单 LANE 的 PCIE 接口，每个 PCIE 接口有一对差分参考时钟输入 PCIE0/1 _REF_P/N，对参考时钟的描述及要求请参见 3.5.1.2 SerDes 时钟输入电气参数章节。PCIE 接口的其它管脚信号列表如表 20-3 所示。

版权所有 © 海思技术有限公司

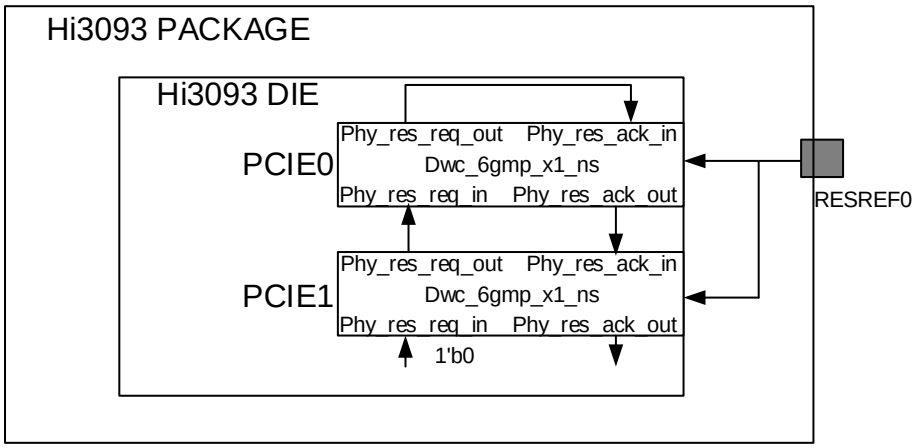
表20-3 PCIE SerDes 接口信号列表

名称	方向	电平类型	相关模块	描述
PCIE0_RXIN	I	CML	PCIE	PCIE0 SerDes 接收差分数据。
PCIE0_RXIP	I	CML	PCIE	PCIE0 SerDes 接收差分数据。
PCIE0_TXON	O	CML	PCIE	PCIE0 SerDes 发送差分数据。
PCIE0_TXOP	O	CML	PCIE	PCIE0 SerDes 发送差分数据。
PCIE0_REF_P	I	CML	时钟	PCIE0 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
PCIE0_REF_N	I	CML	时钟	PCIE0 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
RESREF0	I	Analog	-	PCIE SerDes 外接参考电阻 0.2K（±1% ± 100 ppm/°C），电阻另一端与模拟地连接，不使用 PCIE 时可悬空。
PCIE1_RXIN	I	CML	PCIE/MCTP	PCIE1 SerDes 接收差分数据。
PCIE1_RXIP	I	CML	PCIE/MCTP	PCIE1 SerDes 接收差分数据。
PCIE1_TXON	O	CML	PCIE/MCTP	PCIE1 SerDes 发送差分数据。
PCIE1_TXOP	O	CML	PCIE/MCTP	PCIE1 SerDes 发送差分数据。
PCIE1_REF_P	I	CML	时钟	PCIE1 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。
PCIE1_REF_N	I	CML	时钟	PCIE1 SerDes 参考时钟（默认100M），Hi3093 只能使用片外时钟。

如图 20-1 所示，两个 PCIE 接口 SerDes 的参考电阻是复用的，参考电阻的寄生电容必须小于等于 10pF。

版权所有 © 海思技术有限公司

图20-1 PCIE 接口参考电阻内部连接示意图



PCIE 接口不支持内部展频，只支持通过对参考时钟进行展频的注入式展频。

须知

如果因为 EMI 要求，而对参考时钟进行展频，必须对 PCIE 的两端进行同步展频。展频指标请参照 PCIE 电气标准。

20.2.2 SGMII 接口

Hi3093 芯片支持两组单 LANE 的 SGMII 接口，两个 SGMII 接口共用一对差分参考时钟输入 GE _REF_P/N，对参考时钟的描述及要求请参见 3.5.1.2 SerDes 时钟输入电气参数。SGMII 接口的其它管脚信号列表如表 20-4 所示。

表20-4 SGMII SerDes 接口信号列表

名称	方向	电平类型	相关模块	描述
GMAC0_RXIN	I	CML	GE	GMAC0 SerDes 接收差分数据。
GMAC0_RXIP	I	CML	GE	GMAC0 SerDes 接收差分数据。
GMAC0_TXON	O	CML	GE	GMAC0 SerDes 发送差分数据。
GMAC0_TXOP	O	CML	GE	GMAC0 SerDes 发送差分数据。

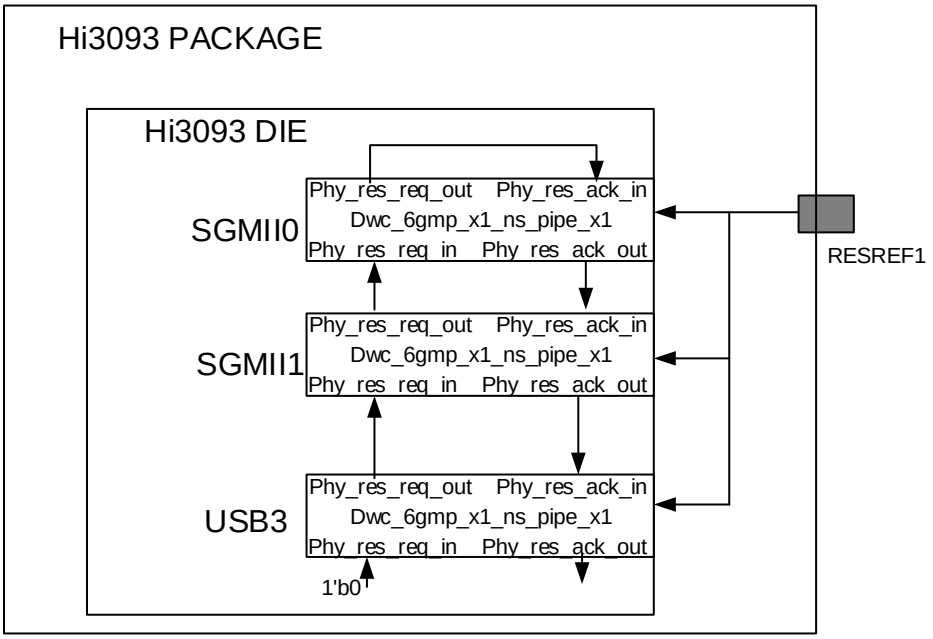
版权所有 © 海思技术有限公司

名称	方向	电平类型	相关模块	描述
GE_REF_P	I	CML	GE	GMAC SerDes 参考时钟（默认 100M），Hi3093 只能使用片外时钟。
GE_REF_N	I	CML	GE	GMAC SerDes 参考时钟（默认 100M），Hi3093 只能使用片外时钟。
RESREF1	I	Analog	-	GMAC 及 USB3 SerDes 外接参考电阻 0.2KΩ（±1% ± 100 ppm/°C），电阻另一端与模拟地连接，不使用 GMAC 及 USB3 时可悬空。
GMAC1_RXIN	I	CML	GE	GMAC1 SerDes 接收差分数据。
GMAC1_RXIP	I	CML	GE	GMAC1 SerDes 接收差分数据。
GMAC1_TXON	O	CML	GE	GMAC1 SerDes 发送差分数据。
GMAC1_TXOP	O	CML	GE	GMAC1 SerDes 发送差分数据。

如图 20-2 所示，SGMII0/1 及 USB3 三个 SerDes 共用一个参考电阻，RESREF1，参考电阻的寄生电容要小于 10pF。

版权所有 © 海思技术有限公司

图20-2 SGMII 和 USB3 参考电阻内部连接示意图



须知

SGMII 接口不支持展频功能。

20.2.3 USB3 接口

Hi3093 芯片支持一组 USB3 接口，USB3 接口由一对 SerDes 和一个 USB2 接口组成，由 SerDes 及内部相应的控制逻辑完成 USB3 的 ssp 模式，由 USB2 接口完成 USB3 的其它模式，该 SerDes 有一对差分参考时钟输入 USB3_REF_P/N，对参考时钟的描述及要求请参见 3.5.1.2 SerDes 时钟输入电气参数章节。USB3 接口的其它管脚信号列表如表 20-5 所示。

表20-5 USB3 接口信号列表

名称	方向	电平类型	相关模块	描述
USB3_RX_P	I	CML	USB3	USB3 SerDes 接收差分数据。
USB3_RX_N	I	CML	USB3	USB3 SerDes 接收差分数据。
USB3_TX_P	O	CML	USB3	USB3 SerDes 发送差分数据。

版权所有 © 海思技术有限公司

名称	方向	电平类型	相关模块	描述
USB3_TX_N	O	CML	USB3	USB3 SerDes 发送差分数据。
VBUS3	I	LVCMOS	USB3	VBUS3 供电指示。
USB3_TXRTUNE	I	-	USB3	USB3 的参考电阻 200Ω(±1%)。
USB3_0_DP	IO	LVCMOS	USB3	USB3 的数据线 P 端。
USB3_0_DN	IO	LVCMOS	USB3	USB3 的数据线 N 端。
USB3_REF_P	I	CML	USB3	USB3 SerDes 的参考时钟的 P 端。
USB3_REF_N	I	CML	USB3	USB3 SerDes 的参考时钟的 N 端。

USB3 的 SSP 模式支持展频功能，但 HS 模式是不支持的。展频的范围可配置，配置范围为-4003ppm ~ +4980ppm。

说明

USB3 接口如用作 USB2 功能，则参考时钟必须提供。

20.3 单板电路设计建议

参见单板 PCB 设计建议请参见 27.2.1 SerDes 接口布线指导章节。

20.4 注意事项

Serdes 在具体应用时，需要先根据链路情况调整 Serdes 的 SI 配置值，选择合适的参数方可保证链路的健壮性。配置方法可以参数《Hi3093 通用 MPU 芯片 用户指南》。

版权所有 © 海思技术有限公司

21 VGA 接口

21.1 概述

VGA 接口通过行场数字信号和 VDAC 模块模拟信号输出组成，VDAC（Video Digital-to-Analog Converter）图像数字模拟转换器。

VDAC 模块在系统中用于将 GPU 输出的 RGB 数字格式信号转换为 VGA 输出的模拟信号。

- 数字接口支持 10bit 编码。
- 支持 Video 数字格式 RGB 输入，转换为 VGA 模拟输出。
- 支持 1MSPS ~ 300MSPS 转换速率。
- 3 通道 DAC。
- 支持通过电缆检测方式降功耗。
- 输出电压范围 0.56V~1.3V。
- 支持 1 路本地视频输出（VGA）。

21.2 电路说明

VGA 接口列表请参见 2.4.6 VGA 接口章节，不在此处做重复描述。

版权所有 © 海思技术有限公司

21.3 电路设计建议

VGA 接口的板级连接参考图如图 21-1 所示，由于 VGA 外部电路为固定接法，此处仅列出需要特别注意的 PVGA_VDREF 及 VGA_IREF 接法，VGA_VDREF 及 VGA_IREF 的参考电压及参考电流为芯片内部使用，故此处只需要外接电容与电阻接地。

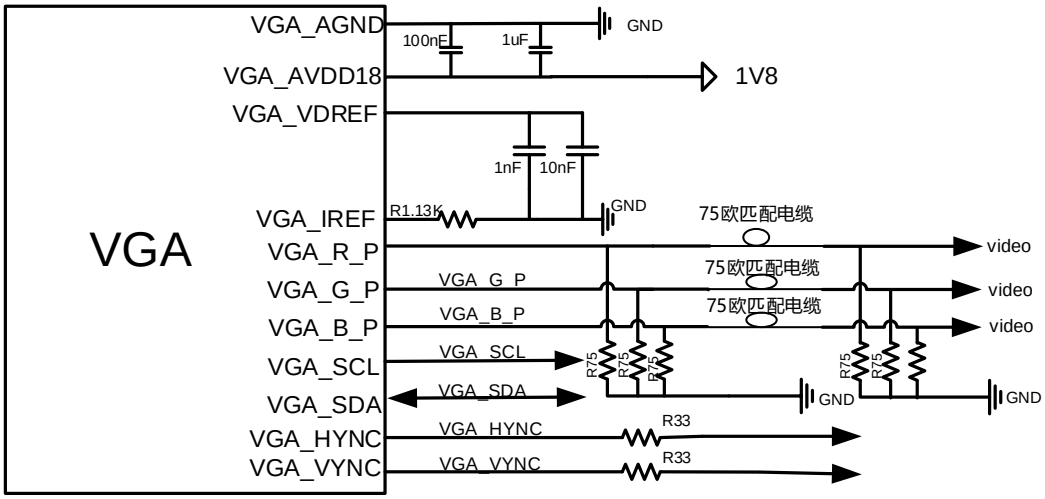
硬件电路设计时需要注意：

- VGA_VDREF 及 VGA_IREF 外接电路需严格按照参考图 21-1 所示，VGA_IREF 外接电阻为 R1.11K±0.5%，VGA_VDREF 需接电容进行滤波。
- VGA_R_P、VGA_G_P、VGA_B_P、VGA_HYNC、VGA_VYNC 这 5 个信号建议外接肖特基二极管，防止外接电路回流。
- VGA_HYNC、VGA_VYNC 建议外接磁珠增加抗扰能力，具体磁珠参数根据实际信号效果进行调整。
- VGA_IREF 是一个敏感信号，容易受其他的信号的干扰，所以在 PCB 布线时，特别注意该信号与 VGA_R/G/B_P 模拟信号以及 VGA_HYNC/VYNC 等数字信号的隔离，否则会严重影响 DAC 的动态性能。

VGA_R_P、VGA_G_P、VGA_B_P、 VGA_HYNC、VGA_VYNC 均按照参考图展开设计，图中外接电路元器件参数仅供参考，请产品根据单板实际测试情况进行选择。

VGA 接口的单板 PCB 设计参考细节请参见 27.7.1 VGA 接口布线指导章节。

图21-1 VGA 接口外接电路参考图



版权所有 © 海思技术有限公司

须知

若有 VGA 一驱二的应用场景，则需关注 VGA 外部硬件电路的设计。直接一驱二可能会出现高分辨率略有模糊的现象，可通过增加驱动器保证 VGA 的显示清晰度。建议参考已有产品使用的一驱二应用方案，综合考虑不同方案带来的成本和收益。

版权所有 © 海思技术有限公司

22 ADC 接口

22.1 概述

ADC（Analog -to- Digital Converter）模拟数字转换器。

ADC 模块在系统中用于将芯片外部输出的模拟信号，如电压值，进行自动采集转换为数据信号，供内部 CPU 进行读取。ADC 接口支持以下特征：

- 支持两个 ADC，各自动收集 8 路模拟输入，一共 16 路。
- 支持根据水线（电压阈值）上报告警。
- 支持采集数据 10,12bit 编码输出。
- 支持 5MHz Conversion Rate。
- 复位信号为高有效。
- 支持采集数据异常上报。
- 支持软件配置 ADC 模块工作时钟为可配置。

22.2 电路说明

ADC 接口列表请参见 2.4.6 VGA 接口章节，不在此处做重复描述。

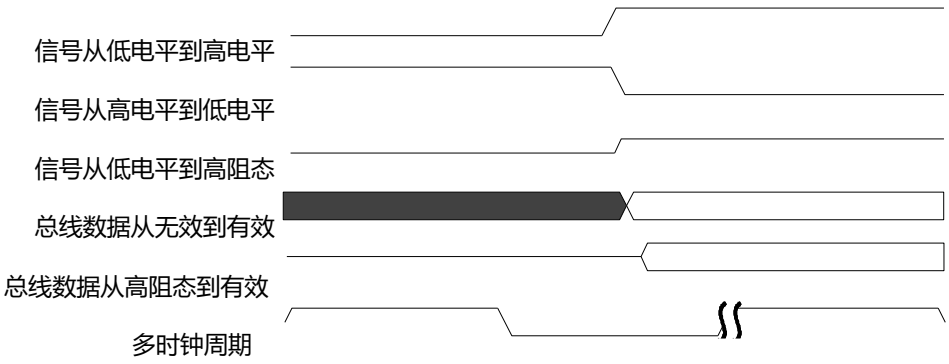
版权所有 © 海思技术有限公司

23 接口时序

23.1 时序图例

本章时序图中的图元说明如图 23-1 所示。

图23-1 时序图元说明



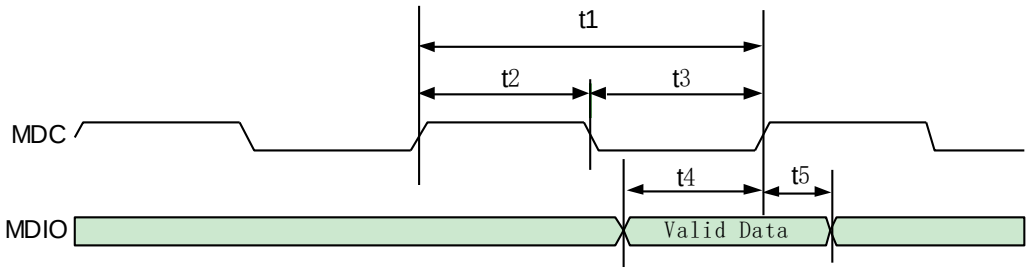
23.2 MDIO 时序参数

23.2.1 MDIO 读时序参数

MDIO 接口读时序图如图 23-2 所示。

版权所有 © 海思技术有限公司

图23-2 MDIO 接口读时序图



MDIO 接口读时序参数如表 23-1 所示。

表23-1 MDIO 接口读时序参数

符号	参数	最小值	最大值	单位
t1	MDC 时钟周期	-	40	ns
t2	MDC 的高电平宽度	0.45	0.55	cycle
t3	MDC 的低电平宽度	0.45	0.55	cycle
t4	MDIO 的建立时间	16.5		ns
t5	MDIO 的保持时间	0		ns

说明

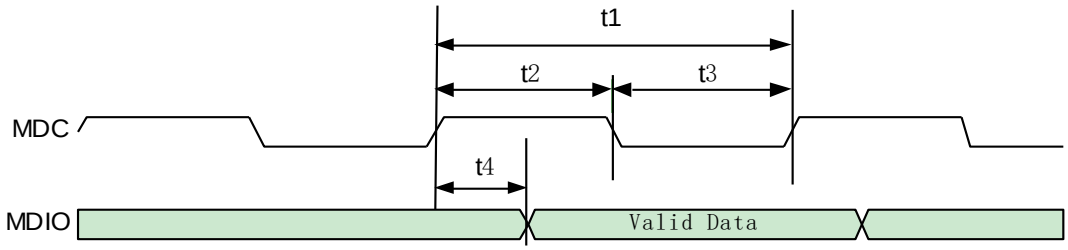
- MDC 典型频率支持 2.5M、6.25M（具体可参看对应的寄存器配置）。
- 如果 25M 场景请保证板级走线在 20 英寸以内，在 6.25M 低频长板级走线的场景，因为 IO 负载的变化建立时间请预留，按照 20ns 计算。

23.2.2 MDIO 写时序参数

MDIO 接口写时序图如图 23-3 所示。

版权所有 © 海思技术有限公司

图23-3 MDIO 接口写时序图



MDIO 接口写时序参数如表 23-2 所示。

表23-2 MDIO 接口写时序参数

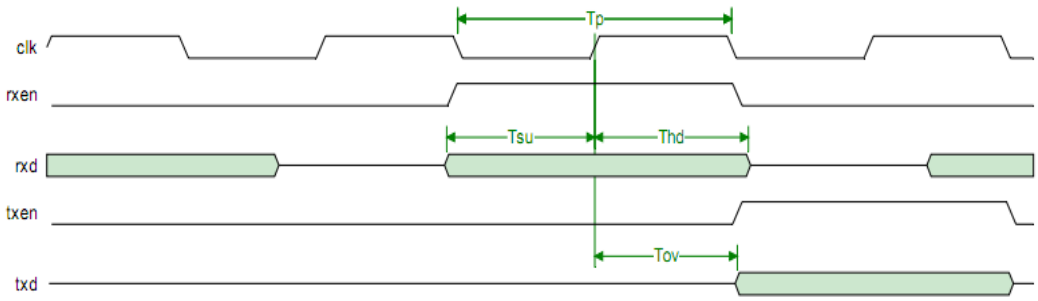
符号	参数	最小值	最大值	单位
t4	MDC 到 MDIO 的延迟时间	0.5cycle-10	0.5cycle+10	ns

说明

MDC 频率参看相应寄存器配置。

23.3 RMII 时序参数

图23-4 RMII 接口时序图



RMII 接口时序参数说明如表 23-3 所示，包括管脚输入输出延迟影响。

版权所有 © 海思技术有限公司

表23-3 RMII 各信号相对内部时钟 input/output Delay 参数表

参数	符号	最小值	典型值	最大值	单位
RMII 时钟周期	Tp	-	20	-	ns
时钟输入模式					
RMII 信号建立时间	Tsu(RX)	2	-	-	ns
RMII 信号保持时间	Thd(RX)	0.5	-	-	ns
RMII 输出信号延时	Tov(TX)	2.0	-	9.0	ns
时钟输出模式					
RMII 信号建立时间	Tsu(RX)	7.6	-	-	ns
RMII 信号保持时间	Thd(RX)	0	-	-	ns
RMII 输出信号延时	Tov(TX)	2.0	-	14	ns

说明

时钟输入模式内部 TX 时钟请选择正相，时钟输出模式 TX 时钟请选择反相。

版权所有 © 海思技术有限公司

23.4 SPI 时序参数

图23-5 SPI 接口时序图

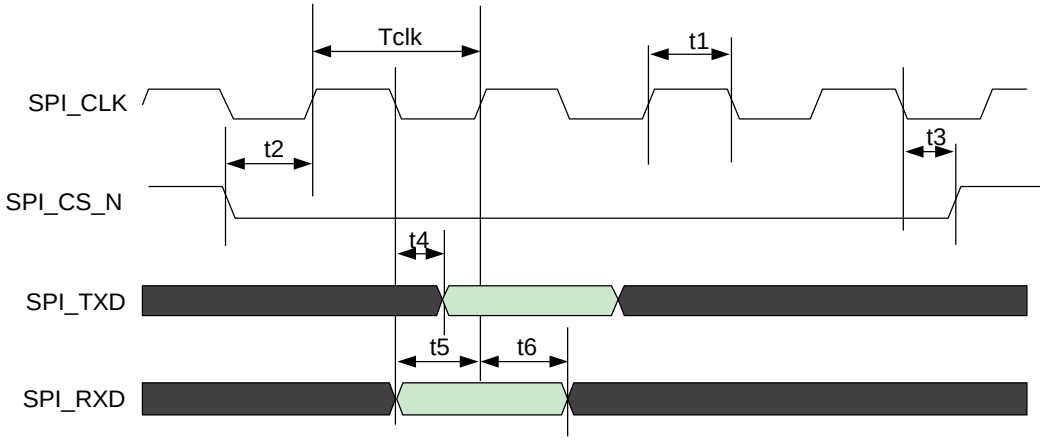


表23-4 SPI 接口时序参数

参数	符号	最小值	典型值	最大值	单位
SPI_CLK 时钟周期	Tclk	-	50	-	ns
SPI_CLK 高电平宽度	t1	0.45*Tclk	-	0.55*Tck	ns
SPI_CS_N 下降沿到 SPI_CLK 上升沿的建立时间	t2	15	-	-	ns
SPI_CLK 下降沿到 SPI_CS_N 上升沿到的保持时间	t3	10	-	-	ns
SPI_CLK 下降沿到 SPI_TXD 发送数据有效的延时	t4	-19	-	19	ns
SPI_RXD 有效到 SPI_CLK 上升沿的建立时间	t5	9.5	-	-	ns
SPI_CLK 上升沿到 SPI_RXD 无效的保持时间	t6	0	-	-	ns

版权所有 © 海思技术有限公司

说明

SPI 请注意不同 SPI 口的 IO 电压。

23.5 I2C 时序参数

图23-6 I2C 数据传输时序图

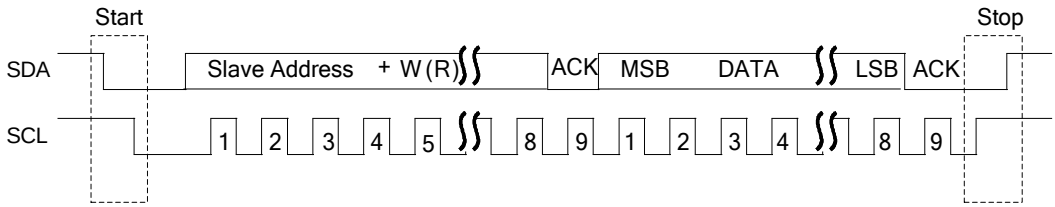


表23-5 I2C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400	kHz
启动保持时间	$t_{HD;STA}$	4.0	-	0.6	-	μs
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{SU;STA}$	4.7	-	0.6	-	μs
数据保持时间	$t_{HD;DAT}$	0	3.45	0	0.9	μs

版权所有 © 海思技术有限公司

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
数据建立时间	$t_{SU;DAT}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU;STO}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

芯片设计上保证 SDA、SCL 的建立、保持时间关系，满足协议要求，设计上不会同时翻转 SDA、SCL。SDA、SCL 在 Hi3093 内部 skew 小于 1ns，要求单板设计保证 SDA、SCL 的 skew 在 1ns 以内即可。

版权所有 © 海思技术有限公司

23.6 Local Bus 时序参数

23.6.1 输入方向延迟时序参数

表23-6 输入方向延迟时序参数表

输入方向延迟时序参数	最小值	典型值	最大值	单位
输入端口到寄存器的时间	1		10	ns

23.6.2 输出方向延迟时序参数

表23-7 输出方向延迟时序参数表

输出方向延迟时序参数	最小值	典型值	最大值	单位
寄存器到输出端口的时间	2		10	ns

须知

因为 Local Bus 接口为异步接口，所以在应用或者设置 Local Bus 时序参数时，需要考虑 Local Bus IP 从芯片内部和 PAD 之间的延迟，上述两个表列出了延迟参数的最大最小值。

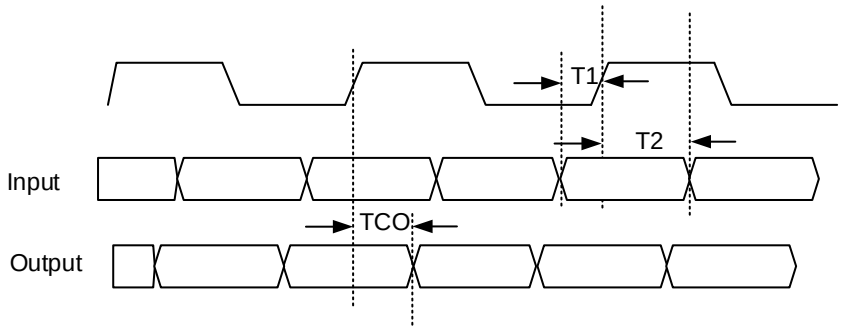
23.7 SDIO 时序参数

SD 卡接口支持 2 种速率：SDR25 和 SDR12。

24MHz 接口时序如图 23-7 所示。

版权所有 © 海思技术有限公司

图23-7 SD/MMC 卡时序图



SD/MMC 时序参数如表 23-8 所示。

表23-8 SD/MMC 时序参数

符号	参数	最小值	典型值	最大值	单位
SDR12					
T_{CYCLE}	CLK 时钟周期	-	40	-	ns
T1	输入数据的 setup	14	-	-	ns
T2	输入数据的 hold	0	-	-	ns
TCO	输出数据的 delay	6	-	34	ns
SDR25					
T_{CYCLE}	CLK 时钟周期	-	20	-	ns
T1	输入数据的 setup	5.6	-	-	ns
T2	输入数据的 hold	0	-	-	ns
TCO	输出数据的 delay	6	-	14	ns

说明

SDR25 场景板级走线请控制在 4 英寸以内。

版权所有 © 海思技术有限公司

23.8 eMMC 时序参数

图23-8 单沿的 HS、DS 模式接口时序图

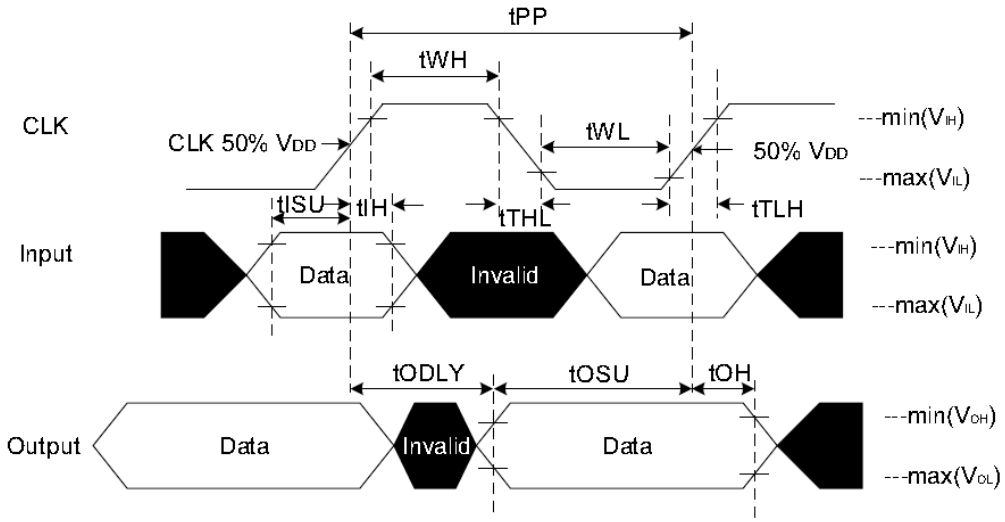


表23-9 单沿 DS 模式时序参数表

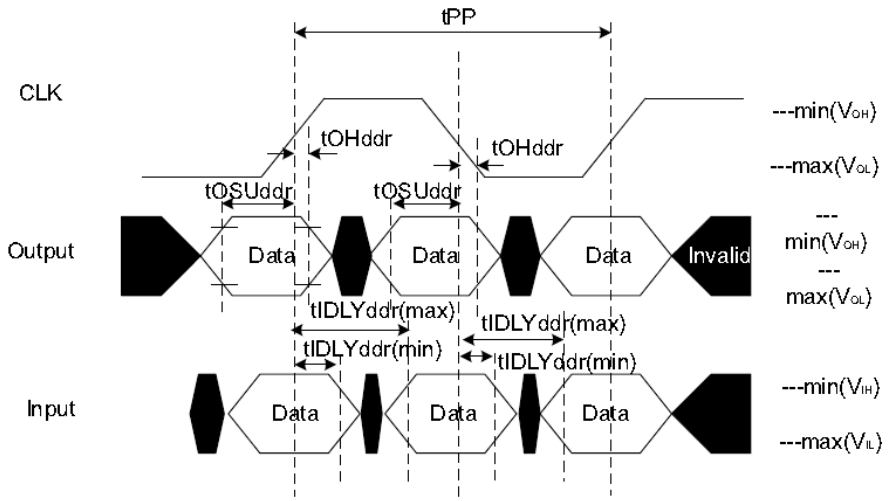
参数	符号	最小值	典型值	最大值	单位
CLK 时钟频率	fPP	0	-	25	MHz
CLK 高电平宽度	tWH	18	-	-	ns
CLK 低电平宽度	tWL	18	-	-	ns
CLK 低电平到高电平延时	tTLH	-	-	10	ns
CLK 高电平到低电平延时	tTHL	-	-	10	ns
Output 建立时间	tOSU	3.2	-	-	ns
Output 保持时间	tOH	3.2	-	-	ns
Input 建立时间	tISU	11.7	-	-	ns
Input 保持时间	tIH	8.3	-	-	ns

版权所有 © 海思技术有限公司

表23-10 单沿 HS 模式时序参数表

参数	符号	最小值	典型值	最大值	单位
CLK 时钟频率	fPP	0	-	50	MHz
CLK 高电平宽度	tWH	9.0	-	-	ns
CLK 低电平宽度	tWL	9.0	-	-	ns
CLK 低电平到高电平延时	tTLH	-	-	3	ns
CLK 高电平到低电平延时	tTHL	-	-	3	ns
Output 建立时间	tOSU	3.2	-	-	ns
Output 保持时间	tOH	3.2	-	-	ns
数据传输的 Input 延时	tODLY	1.6	-	15	ns
Input 保持时间	tIH	1.6	-	-	ns

图23-9 双沿 DDR50 模式接口时序图



版权所有 © 海思技术有限公司

表23-11 双沿 DDR50 模式时序参数表

参数	符号	最小值	典型值	最大值	单位
CLK 时钟频率	fPP	0	-	50	MHz
Output 建立时间	tOSUddr	3.2	-	-	ns
Output 保持时间	tOHddr	3.2	-	-	ns
数据传输的 Input 延时	tIDLY	1.5	-	8.2	ns

图23-10 HS200 模式接口时序图

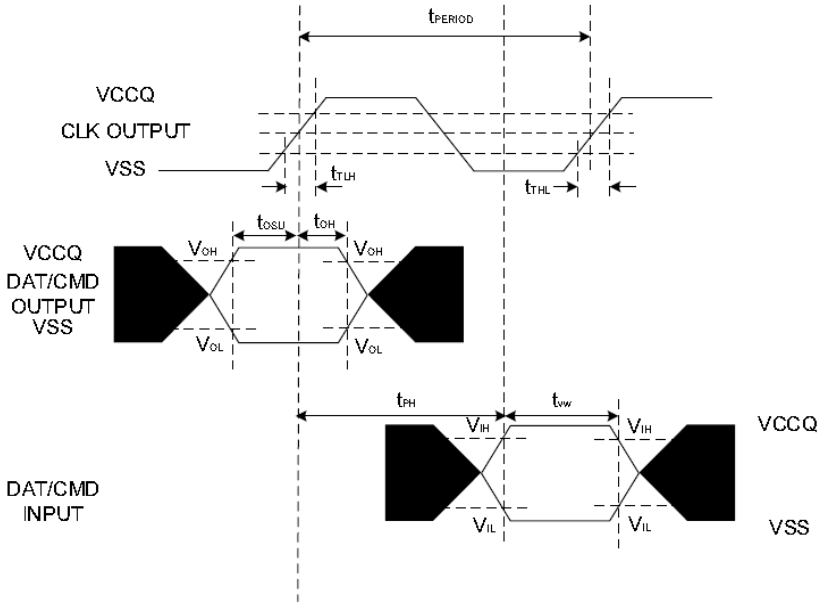


表23-12 HS200 模式时序参数表

参数	符号	最小值	典型值	最大值	单位
CLK 时钟频率	tPERIOD	0	-	100	MHz
Output 建立时间	tOSU	3.2	-	-	ns
Output 保持时间	tOH	1.0	-	-	ns
器件输出 CMD/DAT 与接收 CLK 相位差	tPH	0	-	2	UI

版权所有 © 海思技术有限公司

参数	符号	最小值	典型值	最大值	单位
Input 有效数据时间窗	tVW	0.575	-	-	UI
注意：UI 是单位标称时间，例如 100MHz 时，UI=10ns。					

图23-11 HS400 模式输出接口时序图

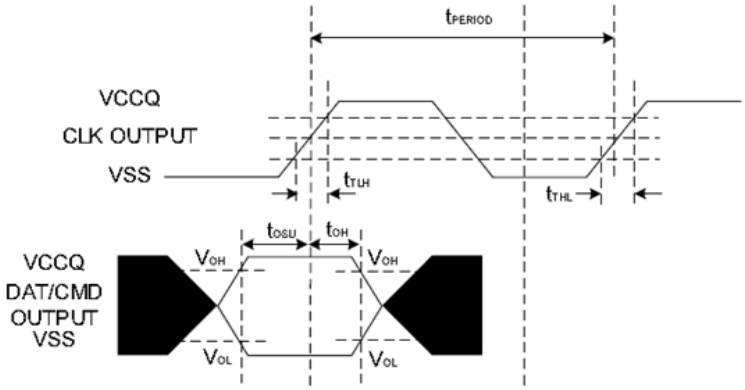


图23-12 HS400 模式输入接口时序图

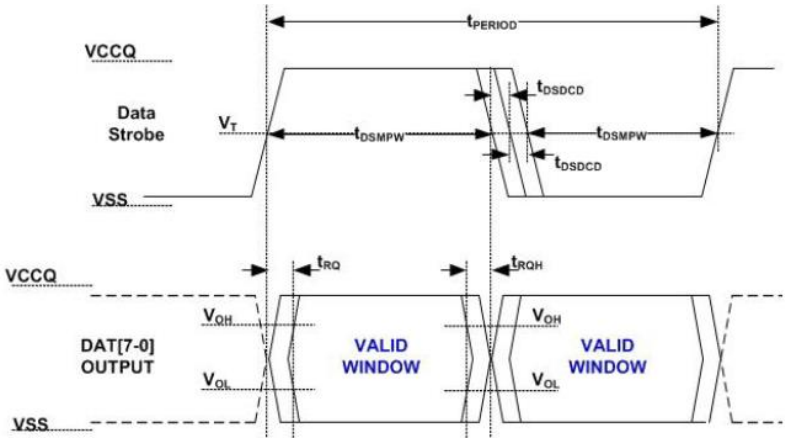


表23-13 HS400 模式时序参数表

参数	符号	最小值	典型值	最大值	单位
CLK 时钟频率	t_{PERIOD}	0	-	100	MHz
CMD Output 建立时间	t_{OSU}	3.2	-	-	ns

版权所有 © 海思技术有限公司

参数	符号	最小值	典型值	最大值	单位
CMD Output 保持时间	t_{OH}	1.0	-	-	ns
DAT Output 建立时间	t_{OSU}	0.6	-	-	ns
DAT Output 保持时间	t_{OH}	1.1	-	-	ns
Input skew	t_{RQ}	0.4	-	-	ns
Input hold skew	t_{RQH}	0.4	-	-	ns

图23-13 eMMC 时序参数表

速度模式	最大频率（MHz）/周期（ns）		最小保持时间	最小建立时间	卡输出延时的最大值	卡时钟高电平时间
eMMC_HS400	100MHz	10ns	0.4ns	0.4ns	-	(0.45~0.55）时钟周期
eMMC_HS200	100MHz	10ns	0.8ns	1.4ns	-	
eMMC_DDR（CMD line）	50MHz	20ns	3.0ns	3.0ns	13.7ns	
eMMC_DDR（DAT line）	50MHz	20ns	2.5ns	2.5ns	7ns	
eMMC_HS	50MHz	20ns	3.0ns	3.0ns	13.7ns	
eMMC_DS	25MHz	40ns	3.0ns	3.0ns	-	

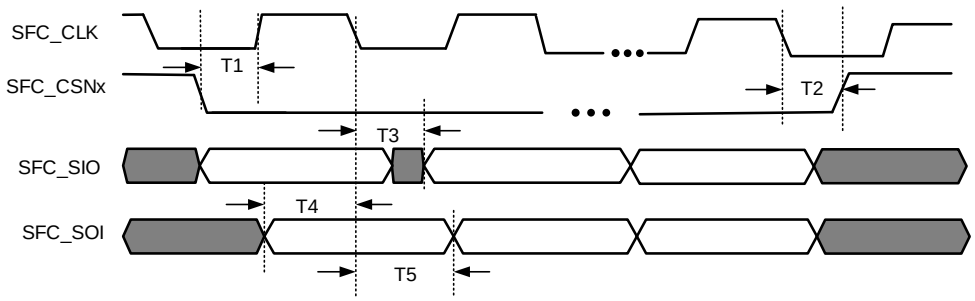
23.9 SFC 时序参数

SFC 支持 2 种频率：50MHz 和 25MHz，Hi3093 实测必须达到下面的时序要求才可以跑高频率。

SFC 时序如图 23-14 所示。

版权所有 © 海思技术有限公司

图23-14 SFC 时序图



SFC 时序参数如表 23-14 所示。

表23-14 SFC 时序参数

符号	参数	最小值	典型值	最大值	单位
50MHz					
T_{CYCLE}	SFC_CLK 时钟周期	-	20	-	ns
T1	SFC_CSN 下降沿到 SFC_CLK 上沿的建立时间	T_{CYCLE}-1	T_{CYCLE}	T_{CYCLE}	ns
T2	SFC_CLK 下降沿到的 SFC_CSN 上升沿的保持时间	T_{CYCLE}-1	T_{CYCLE}	T_{CYCLE}	ns
T3	SFC_CLK 下降沿到输出数据有效的延时	4.5 -0.5*Cycle	-	0.5*Cycle - 6.5	ns
T4	输入数据有效到 SFC_CLK 下降沿的建立时间	7.5	-	-	ns
T5	SFC_CLK 下降沿到输入数据无效的保持时间	0	-	-	ns
25MHz					
T_{CYCLE}	SFC_CLK 时钟周期	-	40	-	ns
T1	SFC_CSN 下降沿到 SFC_CLK 上沿的建立时间	T_{CYCLE}-1	T_{CYCLE}	T_{CYCLE}	ns
T2	SFC_CLK 下降沿到的 SFC_CSN 上升沿的保持时间	T_{CYCLE}-1	T_{CYCLE}	T_{CYCLE}	ns

版权所有 © 海思技术有限公司

符号	参数	最小值	典型值	最大值	单位
T3	SFC_CLK 下降沿到输出数据有效的延时	4.5 -0.5*Cycle	-	0.5*Cycle - 6.5	ns
T4	输入数据有效到 SFC_CLK 下降沿的建立时间	11.4	-	-	ns
T5	SFC_CLK 下降沿到输入数据无效的保持时间	0	-	-	ns

说明

50MHz 针对一驱一场景，板级走线请控制在 16 英寸以内，不同的拓扑结构会导致芯片的接口参数发生变化。

23.10 JTAG 时序参数

图23-15 JTAG 接口时序图

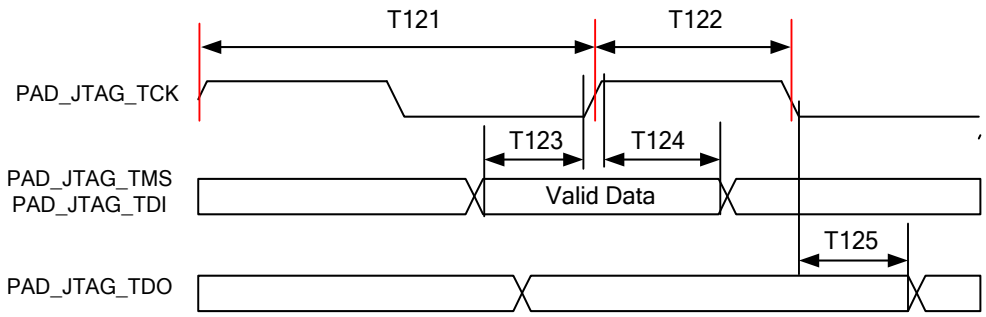


表23-15 JTAG 接口时序参数

参数描述	符号	最小值	典型值	最大值	单位
JTAG_TCK 周期	T121	-	50	-	ns
JTAG_TCK 为高（或低）的时间	T122	20	-	-	ns

版权所有 © 海思技术有限公司

参数描述	符号	最小值	典型值	最大值	单位
JTAG_TMS 和 JTAG_TDI 的建立时间	T123	14	-	-	ns
JTAG_TMS 和 JTAG_TDI 的保持时间	T124	7	-	-	ns
JTAG_TCK 到 JTAG_TDO 的下降沿	T125	4	-	18	ns

图23-16 JTAG Master 时序图

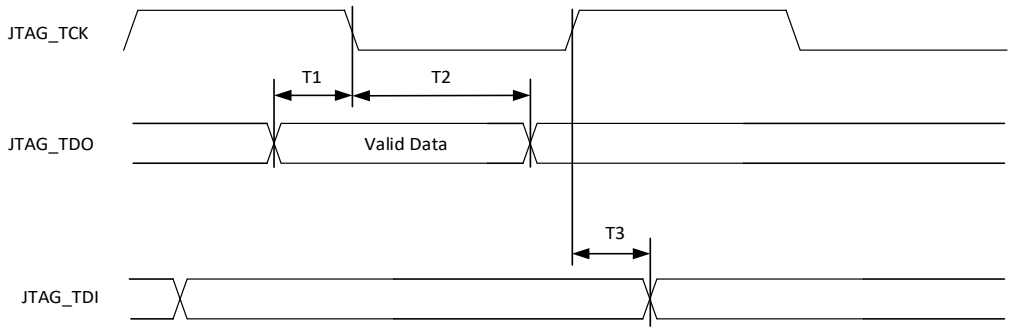


表23-16 JTAG Master 接口时序参数

参数描述	符号	最小值	典型值	最大值	单位
JTAG_TDO 的建立时间	T1	-	-	-	ns
JTAG_TDO 的保持时间	T2	-	-	-	ns
JTAG_TCK 上升沿 到 JTAG_TDI 有效	T3	-	-	-	ns

23.11 LPC 时序参数

LPC SLAVE 只有 IO 的读写操作。

版权所有 © 海思技术有限公司

图23-17 LPC IO 接口读时序图

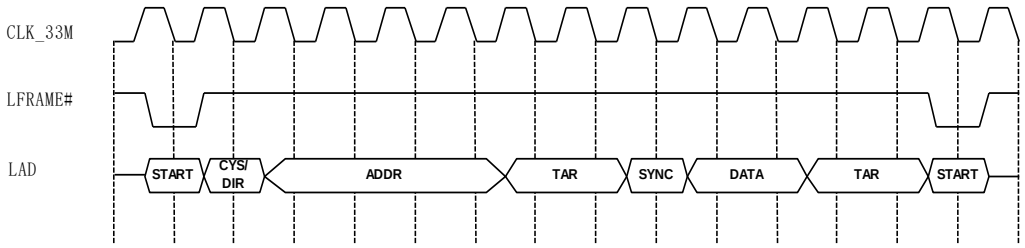
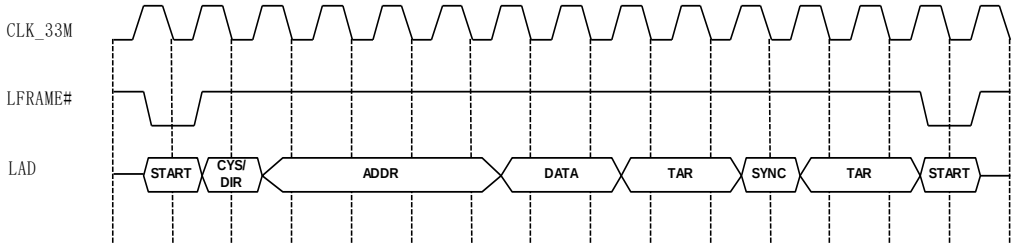


图23-18 LPC IO 接口写时序图



LFRAME 拉低来指示一次传输的开始或者结束，同时通过 START 域来指示传输的类型，如 0000 表示开始一次传输，1111 表示结束或者退出一次传输。

图23-19 LPC 33MHz 时序图

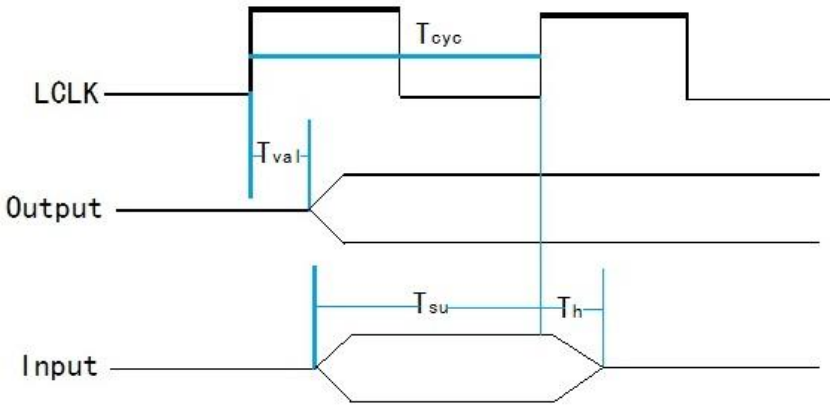


表23-17 LPC 接口时序参数

参数	符号	最小值	周期	最大值	单位
时钟周期	Tcyc		30		ns

版权所有 © 海思技术有限公司

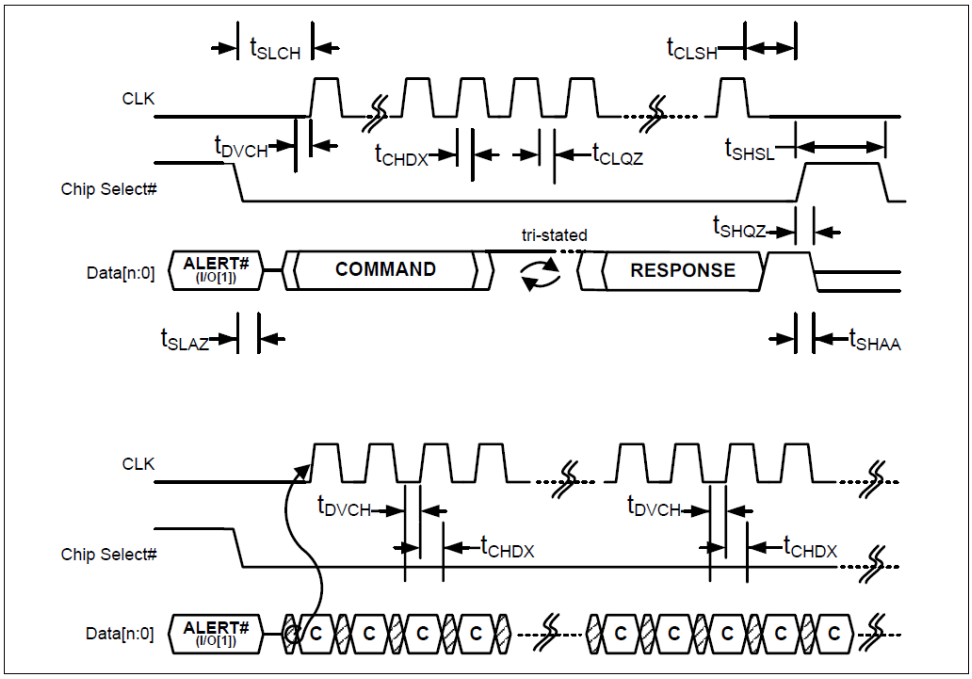
参数	符号	最小值	周期	最大值	单位
输出有效时间	Tval	2		11	ns
输入建立时间	Tsu	7.3			ns
输入保持时间	Th	0.2			ns

说明

板级走线请控制到 30 英寸以内。

23.12 ESPI 时序参数

图23-20 ESPI 输入时序图



版权所有 © 海思技术有限公司

图23-21 ESPI 输出时序图

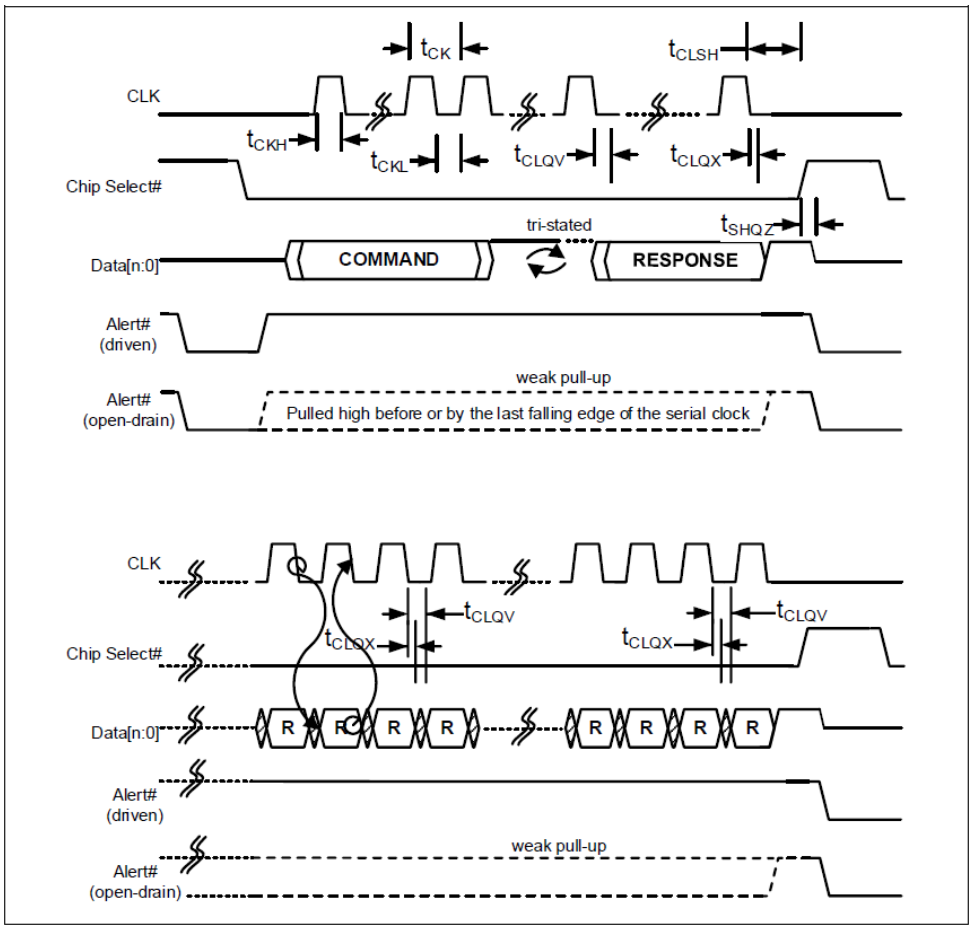


表23-18 ESPI 参数说明

Symbol	Parameter Description
tCKH	Clock High Time
tCKL	Clock Low Time
tSLCH	Chip Select# Setup Time
tCLSH	Chip Select# Hold Time
tSHSL	Chip Select# Deassertion Time
tDVCH	Data In Setup Time
tCHDX	Data In Hold Time
tCLQZ	Output Disable Time during Turn-Around
tCLQV	Output Data Valid Time
tCLQX	Output Data Hold Time

版权所有 © 海思技术有限公司

Symbol	Parameter Description
tSHQZ	Output Disable Time after Chip Select# Deassertion
tSLAZ	Chip Select# Assertion to I/O[1] Tri-stated
tSHAA	Chip Select# Deassertion to I/O[1] Tri-stated
tINIT	eSPI Reset# Deasertion to First Transaction (GET_CONFIGURATION)
tINIT-FREQ	Initial Bus Frequencyu upon eSPI Reset# Deassertion

表23-19 ESPI 时序参数

-	20MHz		25MHz		33MHz		50MHz		66MHz		unit
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
tCK	50	-	40	-	30	-	20	-	15	-	ns
tCKH	0.4	-	0.4	-	0.4	-	0.4	-	0.4	-	tCK
tCKL	0.4	-	0.4	-	0.4	-	0.4	-	0.4	-	tCK
tSLCH	75	-	60	-	45	-	30	-	22	-	ns
tCLSH	50	-	40	-	30	-	20	-	15	-	ns
tSHSL	50	-	40	-	30	-	20	-	15	-	ns
tDVCH	12	-	10	-	7	-	5	-	3	-	ns

表23-20 ESPI 时序参数

	20MHz		25MHz		33MHz		50MHz		66MHz		unit
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
tCHDX	12	-	10	-	7	-	5	-	3	-	ns
tCLQZ	-	15	-	12	-	9	-	8	-	6	ns
tCLQV	-	20.7	-	15.7	-	10.7	-	8.7	-	6.7	ns
tCLQX	0	-	0	-	0	-	0	-	0	-	ns
tSHQZ	-	15	-	12	-	9	-	8	-	6	ns
tSLAZ	-	15	-	12	-	9	-	8	-	6	ns
tSHAA	15	-	12	-	9	-	8	-	6	-	ns

版权所有 © 海思技术有限公司

	20MHz		25MHz		33MHz		50MHz		66MHz		unit
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
tINIT	1	-	1	-	1	-	1	-	1	-	us
tINIT-FREQ	-	20	-	20	-	20	-	20	-	20	MHz
tCHDX	12	-	10	-	7	-	5	-	3	-	ns

说明

66MH 板级走线请控制到 15 英寸以内，33MHz 板级走线请控制到 30 英寸以内。

版权所有 © 海思技术有限公司

24 电气特性

24.1 环境参数

24.1.1 极限环境参数

表24-1 极限工作环境参数

参数	符号	最小值	最大值	单位
存储温度	T_S	-40	125	℃
相对湿度	RH	0	85	%
长期使用结温	T_{JL}	0	105	℃
瞬间最大结温	T_J	-	125	℃

24.1.2 推荐工作环境参数

推荐工作环境参数如表 24-2 所示。

表24-2 推荐工作环境参数

参数	符号	最小值	典型值	最大值	单位
存储温度	T_S	n/a	25	n/a	℃
焊接温度 [a]	T_P	220	240	245	℃
相对湿度	RH	40	50	60	%

版权所有 © 海思技术有限公司

24.2 数字 IO DC 参数表

Hi3093 普通数字信号一共有 3 种信号 IO，分别支持 1.8V 应用、3.3V 应用以及 PECI 的 0.9-1.26V 的特殊应用。三种 IO 的电气特性如表 24-3、表 24-4、表 24-5 描述。

表24-3 1.8V 数字 IO DC 参数表

符号	参数	最小值	典型值	最大值	单位
VDD	内核电源	0.855	0.9	0.945	V
DVDD18	1.8V IO 电源	1.71	1.8	1.89	V
VSS	地	0	0	0	V
V_{IH}@1.8V	高电平输入电压	1.17	-	1.98	V
V_{IL}@1.8V	低电平输入电压	-0.3	-	0.63	V
V_{OH}@1.8V	高电平输出电压	1.35	-	VDDIO	V
V_{OL}@1.8V	低电平输出电压	0	-	0.45	V
R_{PU}	上拉电阻	54	80	120	kΩ
R_{PD}	下拉电阻	55	95	176	kΩ
I_L	输入漏电流	-	-	±10	μA
I_{OZ}	三态输出漏电流	-	-	±10	μA
IOL	低电平输出电流@VOL(max) 00	7.4	12.2	17.4	mA
	低电平输出电流@VOL(max) 01	14.8	24.3	34.5	mA
	低电平输出电流@VOL(max) 10	22.1	36.2	51.0	mA
	低电平输出电流@VOL(max) 11	29.3	47.8	66.6	mA
IOH	高电平输出电流@VOH(min) 00	4.9	11.0	19.8	mA
	高电平输出电流@VOH(min) 01	9.8	21.9	39.5	mA

版权所有 © 海思技术有限公司

符号	参数	最小值	典型值	最大值	单位
	高电平输出电流@VOH(min) 10	14.6	32.9	59.1	mA
	高电平输出电流@VOH(min) 11	19.5	43.7	78.6	mA

表24-4 3.3V 数字 IO DC 参数表

符号	参数	最小值	典型值	最大值	单位
VDD	内核电源	0.855	0.9	0.945	V
DVDD18	1.8V IO 电源	1.71	1.8	1.89	V
DVDD33	3.3V IO 电源	3.15	3.3	3.465	V
VSS	地	0	0	0	V
V_{IH}@3.3V	高电平输入电压	2.0	-	3.465	V
V_{IL}@3.3V	低电平输入电压	-0.3	-	0.8	V
V_{OH}@3.3V	高电平输出电压	2.4	-	VDDIO	V
V_{OL}@3.3V	低电平输出电压	0	-	0.4	V
R_{PU}	上拉电阻	26	46	71	kΩ
R_{PD}	下拉电阻	27	48	102	kΩ
I_L	输入漏电流	-	-	±10	μA
I_{OZ}	三态输出漏电流	-	-	±10	μA
IOL	低电平输出电流@VOL(max) 000	4.0	6.3	8.9	mA
	低电平输出电流@VOL(max) 001	6.0	9.4	13.3	mA
	低电平输出电流@VOL(max) 010	8.0	12.6	17.7	mA
	低电平输出电流@VOL(max) 011	10.0	15.6	21.9	mA

版权所有 © 海思技术有限公司

符号	参数	最小值	典型值	最大值	单位
	低电平输出电流@VOL(max) 100	12.0	18.7	29.2	mA
	低电平输出电流@VOL(max) 101	14.0	21.8	30.4	mA
	低电平输出电流@VOL(max) 110	15.9	24.7	34.5	mA
	低电平输出电流@VOL(max) 111	17.8	27.7	38.5	mA
IOH	高电平输出电流@VOH(min) 000	6.0	9.3	14.2	mA
	高电平输出电流@VOH(min) 001	9.0	14.0	21.3	mA
	高电平输出电流@VOH(min) 010	12.1	18.6	28.4	mA
	高电平输出电流@VOH(min) 011	15.1	23.3	35.5	mA
	高电平输出电流@VOH(min) 100	18.1	27.9	42.6	mA
	高电平输出电流@VOH(min) 101	21.1	32.5	49.7	mA
	高电平输出电流@VOH(min) 110	24.1	37.2	56.8	mA
	高电平输出电流@VOH(min) 111	27.1	41.8	63.8	mA

表24-5 PECI 数字 IO DC 参数表

符号	参数	最小值	典型值	最大值	单位
VDD	内核电源	0.855	0.9	0.945	V
DVDD_PECI	PECI IO 电源	0.9	-	1.26	V

版权所有 © 海思技术有限公司

符号	参数	最小值	典型值	最大值	单位
VSS	地	0	0	0	V
V_{IN}	输入电平范围	-0.15	-	VDDIO+0.15	V
$V_{HYSTERESIS}$	输入迟滞电源	0.1*VDDIO	-	-	V
V_{IH}	高电平输入电压	0.55*VDDIO	-	0.725*VDDIO	V
V_{IL}	低电平输入电压	0.275*VDDIO	-	0.5*VDDIO	V
I_{SOURCE}	高电平输出电流 VOH=0.75*VDDIO	-6.0	-	-	mA
I_{SINK}	低电平输出电流 VOL=0.25*VDDIO	0.5	-	1.0	mA
I_{LEAK+}	高阻漏电流 VPAD=VOL	-	-	50	uA
I_{LEAK-}	高阻漏电流 VPAD=VOH	-	-	10	uA
C_{BUS}	链路每个节点电容	-	-	10	pF
V_{NOISE}	噪声容忍度>300MHz	0.1*VDDIO			Vp-p

须知

电源管脚的最大和最小值指电源的 DC+AC 值包含在其中。

版权所有 © 海思技术有限公司

24.3 3.3V LVCMOS I/O 过冲参数

图24-1 过冲参数示意图

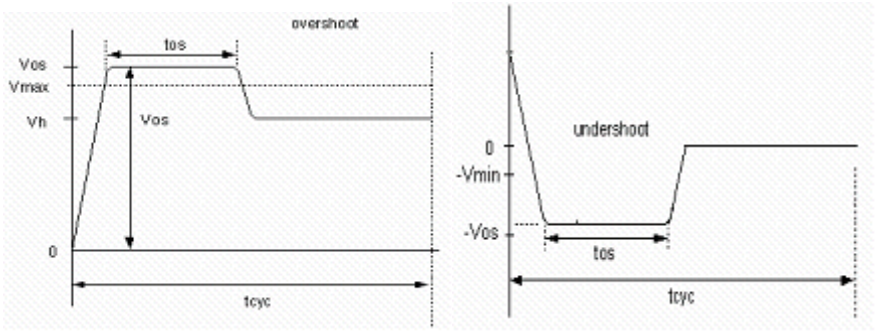
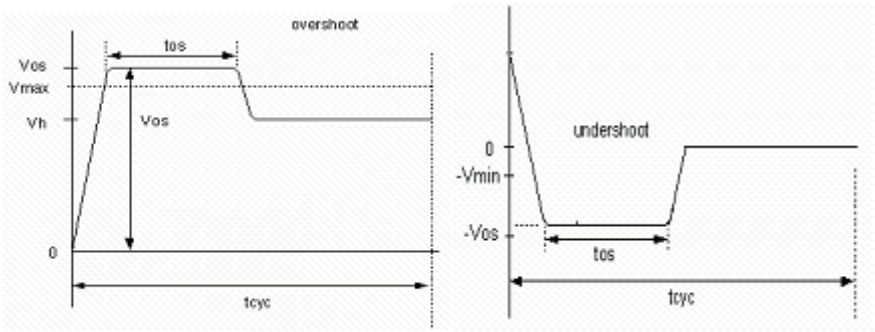


表24-6 3.3V LVCMOS I/O 过冲参数

参数	上冲	下冲	单位
Vos	0.5	0.5	V
tos	0.25	0.25	UI

24.4 1.8V LVCMOS I/O 过冲参数

图24-2 过冲参数示意图



版权所有 © 海思技术有限公司

表24-7 1.8V LVCMOS I/O 过冲参数

参数	上冲	下冲	单位
Vos	0.5	0.5	V
tos	0.5	0.5	UI

24.5 时钟参数

表24-8 系统时钟典型应用电气特性

符号	参数	最小值	典型值	最大值	单位	Notes
FREF	Reference clock frequency	-	25	-	MHz	-
FREF_OFFSET	Reference clock frequency offset	-50	-	50	ppm	-
JREF_CLK	Reference clock jitter(RMS)	-	-	1.5	pS	Freq < 1 MHz
JREF_CLK	Reference clock jitter(RMS)	-	-	3.5	pS	Over all Frequency
占空比	DutyCycle	45	50	55	%	-
T_{rising}	Rise timing	-	-	3	ns	10%-90%
$T_{falling}$	Fall timing	-	-	3	ns	10%-90%
输入低电平门限	V_{IL}	-0.3	-	0.63	V	-
输入高电平门限	V_{IH}	1.17	-	1.98	V	-

版权所有 © 海思技术有限公司

表24-9 USB 时钟典型应用电气特性

符号	参数	最小值	典型值	最大值	单位	Notes
FREF	Reference clock frequency	-	100	-	MHz	-
FREF_OFFSET	Reference clock frequency offset	-300	-	300	ppm	-
RMSJREF_CLK	Reference clock random jitter (RMS)	-	-	3.0	pS	1.5 MHz to Nyquist frequency. For example, for 100 MHz reference clock, the Nyquist frequency is 50 MHz.
DJREF_CLK	Reference clock cycle to cycle jitter	-	-	20	pS	DJ over all frequency
RjREFCLK USB 3.0: 5 Gbps	Reference clock random jitter	-	-	3.0	ps (RMS)	Integrated Rj from 12 kHz to 20 MHz
				3.0		Integrated Rj from 2 MHz to 20 MHz
DjREFCLK USB 3.0: 5 Gbps	Reference clock deterministic jitter	-	-	12.0	ps (peak-peak)	800 kHz to 70 MHz
				6.0		2 MHz to 14 MHz
DCREF_CLK	Duty cycle	45	50	55	%	-
VCMREF_CLK	Common mode input level	0	-	vp	V	Differential inputs
VDREF_CLK	Differential input swing	0.3	-	-	Vpp	Differential inputs，见须知
VOLREF_CLK	Single-ended input logic low	-0.3	-	0.3	V	If single-ended input is

版权所有 © 海思技术有限公司

符号	参数	最小值	典型值	最大值	单位	Notes
						used
VOHREF_CLK	Single-ended input logic high	vp-0.3	-	vp+0.3	V	If single-ended input is used
SWREF_CLK	Input edge rate	0.4	-	4	V/ns	-

须知

还需满足以下要求：

VDREF_CLK/4 + VCMREF_CLK <= vp；

VCMREF_CLK - VDREF_CLK/4 >= 0；

vp：PHY analog and digital supply, 0.9V。

表24-10 PCIE 时钟典型应用电气特性

符号	参数	最小值	典型值	最大值	单位	Notes
FREF	Reference clock frequency	-	100	-	MHz	-
FREF_OFFSET	Reference clock frequency offset	-300	-	300	ppm	-
RMSJREF_CLK	Reference clock random jitter (RMS)	-	-	-	pS	参考 PCIE 协议
DJREF_CLK	Reference clock cycle to cycle jitter	-	-	-	pS	参考 PCIE 协议
DCREF_CLK	Duty cycle	45	50	55	%	-
VCMREF_CLK	Common mode	0	-	vp	V	Differential inputs

版权所有 © 海思技术有限公司

符号	参数	最小值	典型值	最大值	单位	Notes
	input level					
VDREF_CLK	Differential input swing	0.3	-	-	Vpp	Differential inputs 见须知
VOLREF_CLK	Single-ended input logic low	-0.3	-	0.3	V	If single-ended input is used
VOHREF_CLK	Single-ended input logic high	vp-0.3	-	vp+0.3	V	If single-ended input is used
SWREF_CLK	Input edge rate	0.4	-	4	V/ns	-

须知

还需满足以下要求：

VDREF_CLK/4 + VCMREF_CLK <= vp；

VCMREF_CLK - VDREF_CLK/4 >= 0；

vp：PHY analog and digital supply, 0.9V。

表24-11 GE 时钟典型应用电气特性

符号	参数	最小值	典型值	最大值	单位	Notes
FREF	Reference clock frequency	-	100	-	MHz	-
FREF_OFFSET	Reference clock frequency offset	-100	-	100	ppm	-

版权所有 © 海思技术有限公司

符号	参数	最小值	典型值	最大值	单位	Notes
RMSJREF_CLK	Reference clock random jitter (RMS)	-	-	3	pS	1.5 MHz to Nyquist frequency. For example, for 100 MHz reference clock, the Nyquist frequency is 50 MHz.
DJREF_CLK	Reference clock cycle to cycle jitter	-	-	20	pS	DJ over all frequency
DCREF_CLK	Duty cycle	45	50	55	%	-
VCMREF_CLK	Common mode input level	0	-	vp	V	Differential inputs
VDREF_CLK	Differential input swing	0.3	-	-	Vpp	Differential inputs 见须知
VOLREF_CLK	Single-ended input logic low	-0.3	-	0.3	V	If single-ended input is used
VOHREF_CLK	Single-ended input logic high	vp-0.3	-	vp+0.3	V	If single-ended input is used
SWREF_CLK	Input edge rate	0.4	-	4	V/ns	-

须知

还需满足以下要求：

版权所有 © 海思技术有限公司

VDREF_CLK/4 + VCMREF_CLK <= vp；

VCMREF_CLK - VDREF_CLK/4 >= 0；

vp：PHY analog and digital supply，0.9V。

24.6 DDR IO 参数表

DDR4 模式

Hi3093 DDR 接口 IO 电气参数规格符合 JEDEC 的 DDR4 协议，具体请参考 JESD79-4B(*https://www.jedec.org)*。

表24-12 DDR 接口写方向数据眼图要求

WR(速率/Mbps)	EH/mV	EW/pS
2400	136	180

表24-13 DDR 接口读方向数据眼图要求

RD(速率/Mbps)	EH/mV	EW/pS
2400	136	230

表24-14 DDR 接口地址控制命令眼图要求

RD(速率/Mbps)	EH/mV	EW/pS
2400	AC100/DC75	400

24.7 USB 2.0/3.0 PHY 参数表

USB2.0 以及 USB3.0 PHY 的电气特性符合相应协议，此处不做列出，请参考相关协议。

版权所有 © 海思技术有限公司

24.8 PCIE PHY 参数表

PCIE PHY 的电气特性符合相应协议，此处不做列出，请参考相关协议。

24.9 SGMII PHY 参数表

SGMII PHY 的电气特性符合相应协议，不符合协议的内容如下：

- TX Clock forwarding is not supported；
- RX non-CDR mode is not supported；
- RX hysteresis not supported；
- TX Vol, Vos is lower than spec；
- TX rise/fall time faster than spec；
- RX Vi input voltage range lower than spec；
- Frequency offset of the link has to be within spec +/- 100ppm。

版权所有 © 海思技术有限公司

25 可靠性参数

25.1 通用参数

可靠性参数如表 25-1 所示。

表25-1 通用可靠性参数表

参数	符号	参数值
ESD 参数	ESD level/volt	HBM：0.5kV CDM：200V
LatchUp 电流	ILU	≥100mA，1.5*VDDmax
潮湿敏感等级	MSL	4
可靠性等级	Reliability Grade	2
上下电次数	Number of Machine On/Off Cycles	〉1000
可重复焊接次数①	Maximum PCB assembly reflows	3 次
工作时间	Machine Life (kPOH)	100kPOH，thousands of power on hours. 100k POH = 100,000 power on hours (~10yrs)
工作寿命②	LifeTime	10 年

版权所有 © 海思技术有限公司

参数	符号	参数值
正常工作允许外部环境最大温变速率③	Maximum Allowable Extenal Environment Temerature Change Rate For Normal Operation ($EETCR_{Max}$)	5℃/Min

说明

- ①可重复焊接次数是芯片出厂后的可重复焊接次数。芯片管脚焊球（锡）每升温融化一次算一次焊接次数。
- ②芯片工作结温影响寿命，在不低于 95%的寿命时间内工作在结温 x℃~xx℃，在不超过 5%的寿命时间内工作在结温 x℃~x℃的…，xx 芯片工作寿命才可达到 xx 年。如以上条件不满足，芯片的工作寿命会缩短甚至立即损坏。
- ③正常工作允许外部环境最大温变速率：芯片所处的系统，系统应用场景必须容忍一定的的温变速率，比如网络设备所在机房的空调启停、室外设备太阳暴晒后的暴雨浇淋等都会引起设备工作环境的波动。在芯片散热外壳或者散热焊盘处的温度发生变化时，芯片内部有些电路不能容忍比较大的温变速率而出现性能下降甚至功能异常。为支撑客户对芯片正确选型，海思芯片提供“芯片正常工作允许外部环境最大温变速率”参数，客户产品和系统的设计和应用应确保芯片的外部环境温度（芯片散热外壳或者散热焊盘处的温度）的变化速率不超过该参数。

须知

ESD CDM 参数规格如低于 200V，请单板设计/开发专家提醒单板生产工艺严格管控单板加工产线的 ESD 电压，防止在单板产线的 ESD 损坏芯片电路造成生产停线、损坏单板流入市场引起召回或整改等严重质量事故。

芯片潮湿敏感等级定义如表 25-2 所示。

表25-2 芯片潮湿敏感等级定义

潮湿敏感等级（MSL）	含义（拆封后存放条件及最长时间）
1	无限制，85% RH（Relative Humidity）。
2	1 年，30℃/60% RH。
3	1 周，30℃/60% RH。
4	72 小时，30℃/60% RH。

版权所有 © 海思技术有限公司

潮湿敏感等级（MSL）	含义（拆封后存放条件及最长时间）
5	48 小时，30℃/60% RH。
6	24 小时，30℃/60% RH。

版权所有 © 海思技术有限公司

26 封装

26.1 概述

Hi3093 封装类型为 EHS-FCBGA，封装尺寸为 17mm*17mm，管脚间距为 0.65mm stagger&0.8mm inline 两种。

26.2 芯片标识

图 26-1 显示 Hi3093 芯片的 Mark。

图26-1 Mark 示意图

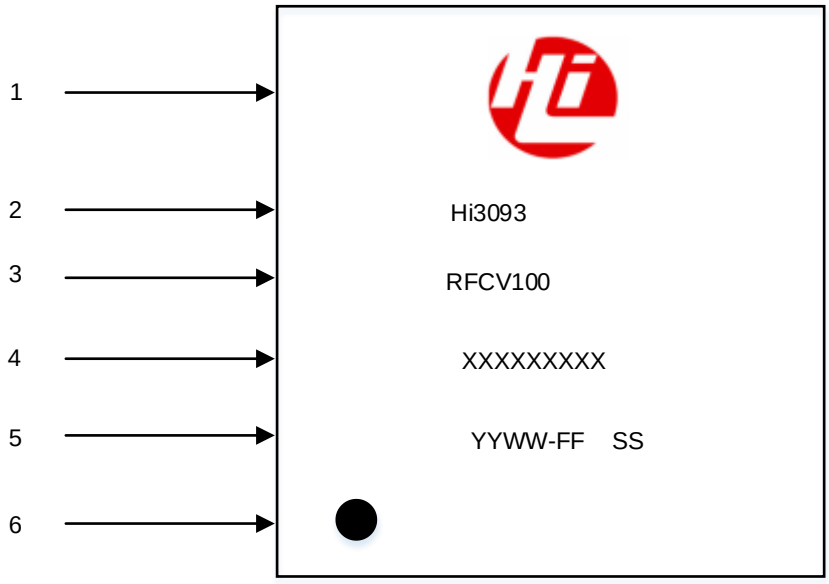


表 26-1 显示 Mark 中各符号的含义。

版权所有 © 海思技术有限公司

表26-1 Mark 说明

编号	含义
1	海思公司 Logo。
2	工单 Part number。
3	工单 Part number 其余字符。 A：环保标识（N 表示含铅、R 表示 RoHS、G 表示无铅）。 B：封装类型。 C：温度等级（C 表示商业级、I 表示工业级）。
4	XXXXXXXXX：Mark Lot Number。
5	YYWW：封装时间信息，YY 表示年份；WW 表示星期。 FF：芯片封装地信息（字符数可变，可含空格）。 SS：封装 mark lot 子批信息。
6	Pin 1 起始标志。

下订单时请使用完整的 PartNumber，如表 26-2 所示。

表26-2 PartNumber 说明

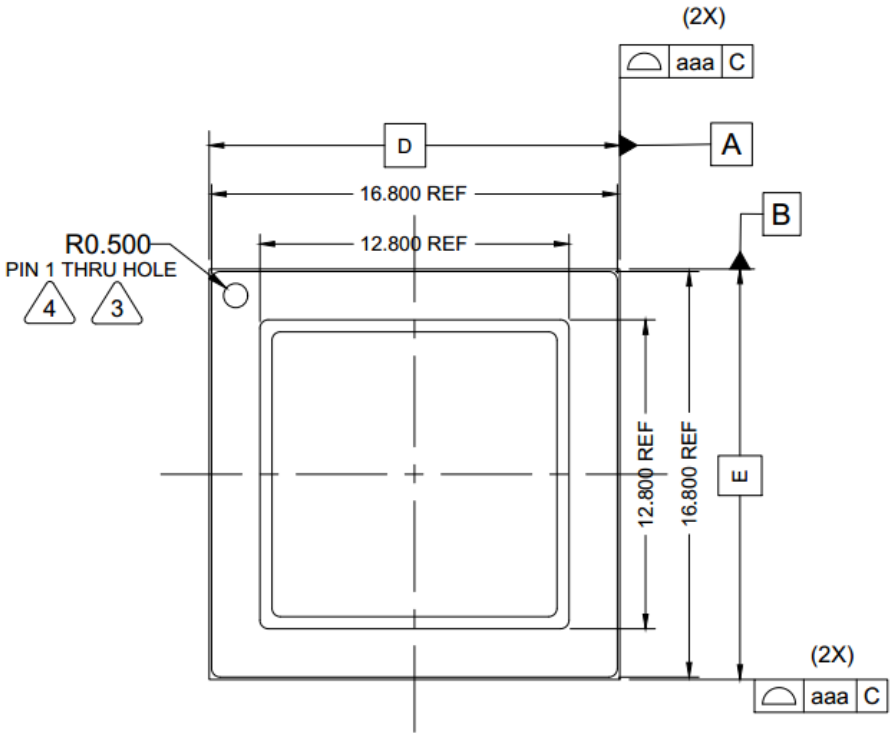
PartNumber	含义
Hi3093RFCV110	FCBGA470、17mm*17mm、0.65Pitch、xxxMHz。

26.3 封装视图

Hi3093 的封装图和封装参数如图 26-2~图 26-6 所示。

版权所有 © 海思技术有限公司

图26-2 Top view



TOP VIEW

版权所有 © 海思技术有限公司

图26-3 Side view

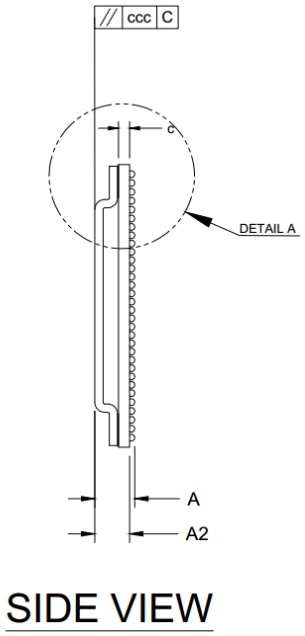
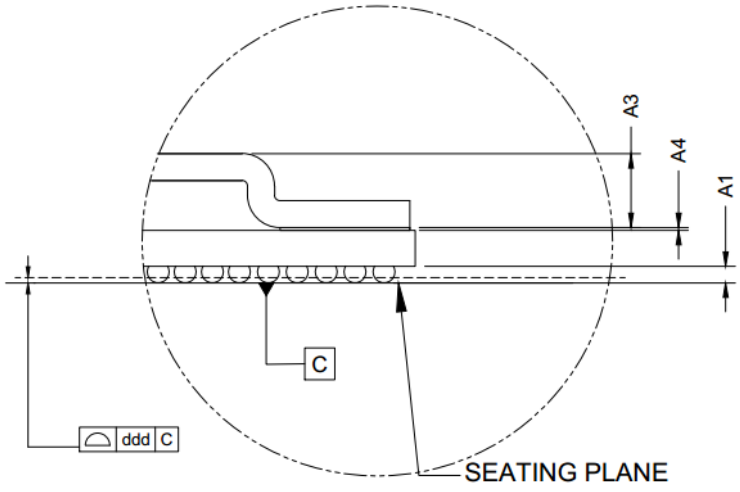


图26-4 Detail A



版权所有 © 海思技术有限公司

图26-5 Bottom view

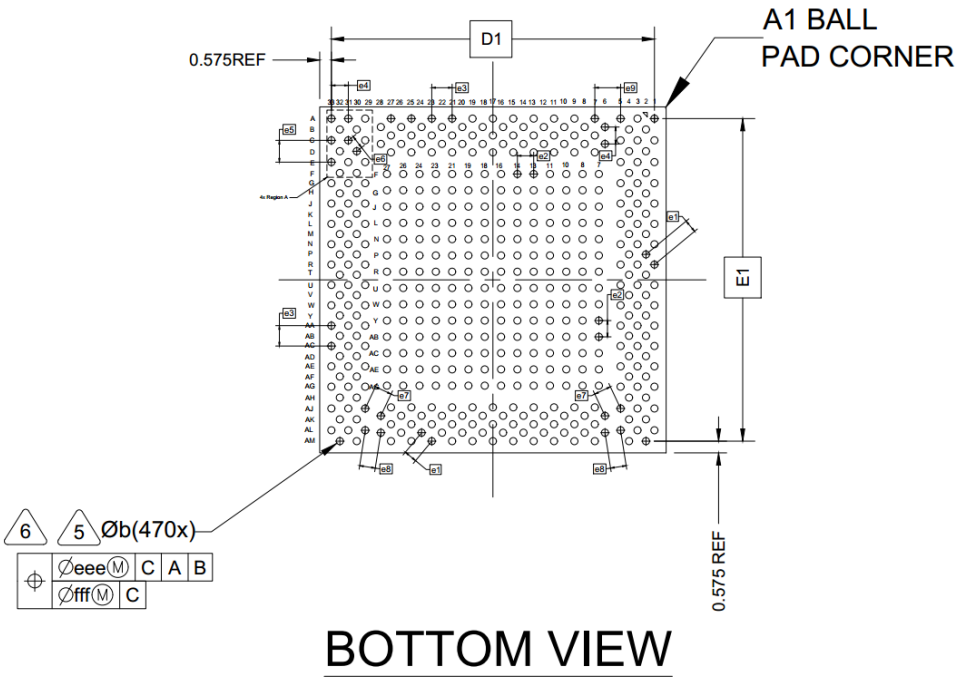


图26-6 Dimension of package

Symbol	Dimension in mm		
	MIN	NOM	MAX
A	2.289	2.393	2.500
A1	0.257	0.307	0.357
A2	1.995	2.086	2.181
A3	1.320	1.370	1.420
A4	0.020	0.050	0.090
c	0.596	0.666	0.736
D	16.80	17.00	17.20
E	16.80	17.00	17.20
D1	---	15.85	---
E1	---	15.85	---
e1	---	0.65	---
e2	---	0.80	---
e3	---	1.00	---
e4	---	0.83	---
e5(region A)	---	1.07	---
e6(region A)	---	0.677	---
e7	---	0.846	---
e8	---	0.774	---
e9	---	1.265	---
b	0.35	0.40	0.45
aaa		0.20	
ccc		0.25	
ddd		0.10	
eee		0.20	
fff		0.08	
NUMBER OF BALL 470			

版权所有 © 海思技术有限公司

26.4 封装参数

Hi3093 封装物理参数如表 26-3 所示。

表26-3 Hi3093 芯片封装参数

参数	数值
封装尺寸	17mm×17mm
球间距	0.65mm stagger&0.8mm inline
焊球数	470
封装体内置散热片尺寸（Heat Spreader）	无内置散热器，采用外置散热器 16.8mm×16.8mm。
散热盖凸台尺寸	11.8mm×11.8mm
器件高度（max）	2.289mm～2.500mm
器件重量（实际测试后的结果）	TBD
封装整体短期（时间 5min）可承受最大压力	TBD 注：封装承受压力场景：芯片散热器在单板用 pushpin 方法固定；芯片 ATE/SLT 测试 socket 压力。
封装整体长期可承受最大压力（700cycle 的-55℃~+125℃温度范围的 TC）	6 Kg/N **注意：封装承受压力场景：芯片散热器在单板用螺钉固定；芯片 ATE/SLT 测试 socket 压力。**
单个焊球可承受最大压力	TBD
芯片散热盖在单板可承受(散热盖不脱落）的最大拉力	TBD 注意：若本芯片使用外置散热器请一定要确认将散热器采用螺钉进行固定。
封装 Underfill 的 Tg 值	100℃
封装 molding compound 的 Tg 值	不涉及。

版权所有 © 海思技术有限公司

参数	数值
封装 reflow 过程中动态 warpage 最大值	TBD
基板板材 CTE② Coefficient of Thermal Expansion of Substrate	不能提供。

须知

若本芯片使用外置散热器必须使用 pushpin 固定。

27 单板 PCB 设计参考

27.1 概述

为了保证信号完整性，在进行 PCB 布线设计时，应尽可能地减少信号反射、串扰、衰减。

27.2 SerDes 接口

27.2.1 SerDes 接口布线指导

Hi3093 SerDes 包括两部分，分别支持 GE 协议和 PCIE2.0 协议。在 SerDes 接口的单板设计和布线中，需要注意以下事项：

版权所有 © 海思技术有限公司

- SerDes 板级走线需要关注差分对之间 PN Skew，板级走线的阻抗、插损、串扰以及相应协议的无源 SPEC 指标。
- GE 板级走线必须满足 GE 协议规定的无源 SPEC 部分。
- PCIE 板级走线必须满足 PCIE 协议规定的无源 SPEC 部分。
- SerDes 差分对之间的 PN Skew 控制范围为小于 5mil。如果协议对不同 Lane 之间的 Skew 有限制，请满足相应协议的要求。
- GE 板级差分走线阻抗控制 100Ω±10%。
- PCIE 板级差分走线阻抗控制 85Ω±10%。
- SerDes 板级差分走线需要使用地平面做为参考层，同时需要保证参考面完整，不能跨分割。SerDes 走线不能跨 Void 以及 Antipad。SerDes 走线注意 BGA Ball，AC 耦合电容以及连接器的阻抗优化；注意 PCB 通孔 Stub 的优化，需要背钻，保证链路回损最优。
- SerDes 板级差分走线需要注意控制串扰，串扰的 SPEC 为在 Nyquist 频率处，干扰源的总串扰和小于 30dB。差分对 TX/RX 最好分层走线；如果不能分层走线，需要关注 TX、RX 之间的 Space 控制，差分对走线之间的 Space 为满足串扰 SPEC 要求，一般的需要控制在 10H（H 为距最近参考层的叠层介质高度），并在周围使用地 Shape 进行隔离，对于其他大摆幅的单端信号或者不同协议的高速信号，需要通过仿真保证上述 SPEC 要求。差分对过孔需要使用地孔同其他信号或者功率孔进行隔离。
- GE 参考时钟需要使用外部输入时钟。外部时钟输入，支持差分时钟输入或者是单端 CMOS 时钟输入。时钟管脚芯片内部没有相应的末端匹配电阻，需要根据相应的 SI 仿真确认是否需要在 PCB 上加相应的匹配电阻。参考时钟内部已经集成了 AC 耦合电容，板级可以根据需要决定是否需要加相应电容。外部输入参考时钟是单端 CMOS 输入，那么时钟的输入的一端必须为全摆幅的 CMOS 输入，另一端则必须接到电源或者低（取决于 CMOS 输入是 P 端还是 N 端）。外部输入参考时钟是差分输入，电平可以是 CML 或者 LVDS。单端输入或者差分输入都需要满足时钟电平标准要求。GE 的参考时钟在芯片内部为一驱二设计，板级设计一定要慎重仿真，确保满足电气要求。单端时钟输入板级控制阻抗为 50Ω，差分时钟输入板级控制阻抗为 100Ω。
- PCIE 参考时钟需要使用外部输入时钟。外部时钟输入，支持差分时钟输入或者是单端 CMOS 时钟输入。时钟管脚芯片内部没有相应的末端匹配电阻，需要根据相应的 SI 仿真确认是否需要在 PCB 上加相应的匹配电阻。参考时钟内部已经集成了 AC 耦合电容，板级可以根据需要决定是否需要加相应电容。外部输入参考时钟是单端 CMOS 输入，那么时钟的输入的一端必须为全摆幅的 CMOS 输入，另一端则必须接到电源或者低（取决于 CMOS 输入是 P 端还是 N 端）。外部输入参考时钟

版权所有 © 海思技术有限公司

是差分输入，电平可以是 CML 或者 LVDS。单端输入或者差分输入都需要满足时钟电平标准要求，单端时钟输入板级控制阻抗为 50Ω，差分时钟输入板级控制阻抗为 100Ω。

- GE 的外部参考电阻要求为 200ohm(± 1% ±100 ppm/°C)，同时保证其寄生电容小于 10p（该电容包括 Die 电容+PKG 电容+PCB 电容）。
- PCIE 的外部参考电阻要求为 200ohm(± 1% ±100 ppm/°C)，同时保证其寄生电容小于 10p（该电容包括 Die 电容+PKG 电容+PCB 电容）。
- SerDes 差分走线 TX 和 RX 采用 AC 耦合方案，耦合电容为 100nF 或者相应协议规定的电容值。
- SerDes 供电电源相关设计请参考 5 电源输入章节。

27.3 DDR 接口

27.3.1 DDR 接口布线指导

DDR 接口可以根据不同单板的实现形式进行灵活布线，其中数据线直连，地址控制命令线可以一驱一或者一驱二。对于一驱二的地址控制命令线，可以采用远端 T 型或者 Flyby 型。板级设计需要根据单板设计选择合适的拓扑，板级需要进行 SI 仿真确保相应拓扑无 SI 问题。建议 PCB 布线设计采用以下原则，减小板级设计风险：

- 差分信号布线要求
  - 差分信号走线控制阻抗 100Ω±10%，以 VSS 作为参考平面，走线不能跨分割。
  - 差分信号走线与其他信号并行走线须满足 “5H 规则”，内层走线。
  - 差分信号走线控制等长，PN Skew 控制在±5mil 以内。
- 单端信号布线要求
  - 单端信号走线控制阻抗 50Ω±10%，以 VSS 作为参考平面，走线不能跨分割。
  - 同组信号需保证在同一层完成布线，同组信号内部走线 Space 至少要大于 4H。
  - 不同组信号之间需保证信号间 Space 至少大于 5H。
  - DDR 信号线与其他非 DDR 信号线间 Space 至少要大于 10H。
- 其它要求
  - 注意走线严格遵守线宽、线长设置，注意走线的阻抗控制，保证差分线阻抗 100Ω±10%，单线阻抗控制阻抗 50Ω±10%，内层走线，表层不走长走线。

版权所有 © 海思技术有限公司

- 所有 DDR 信号走线必须走在邻近地平面的层，避免信号走线穿越电源地分割区域，必须保证 DDR 信号走线都有完整的参考平面，在信号布线周围放置与地连通的过孔，保持良好的信号回流路径。
- 同组信号尽量保证同组同层，以保证所有信号的传播速度相同，有利于保证时序；一组信号与其他组信号间距尽量大
- 关键信号如时钟信号等，避免紧邻数据、地址总线；避免地址信号紧邻数据信号
- 相邻信号走线间距保持在 4H。
- DDR 信号与非 DDR 信号布线间隔不少于 10H 线距。
- 过孔尽可能少。
- 信号过孔需要使用地孔隔离。
- Vref 按$(2Ron + Rodt) / (2 * (Ron + Rodt))$供给。

表27-1 DDR 接口数据信号 DQ/DQS 信号互连说明

网络名称	重要等级	关键信号设计注意事项
DDR_DQ[15:0]	A	1、同一信号 Group 组内，要求 DQ/DM/DQS 走线 SKEW<15ps。 2、DQS 差分对内部两根信号线严格等长，差分走线 PN Skew 小于 5mil。 3、DQS 以 CLK 时钟走线长度为参照进行走线，其走线长度相对于 CLK 的走线长度允许的偏差为 -2300~0mil，即：DQSx = CLKx- (0~2300mil)。 4、数据信号走线长度建议小于 1000mil，与颗粒直连对接。
DDR_DM[1:0]	A	
DDR_DQS/B[1:0]	A	
Ron 与 ODT 配置	A	写方向，推荐配置 Ron 34ohm, ODT 60ohm。 读方向，推荐配置 Ron 34ohm, ODT 120ohm。 此处配置为推荐值，不同单板可能需要进行调整。

版权所有 © 海思技术有限公司

表27-2 DDR 时钟 CK 信号互连说明

网络名称	重要等级	关键信号设计注意事项
DDR_CK_P/N	A	1、CLK 差分对内部两根信号线严格等长，差分走线 PN Skew 小于 5mil。 2、CLK 信号走线长度最长不能超过 4inch；可以采用远端 T 型或者 Flyby 拓扑，需要通过仿真来确定相应的相应的匹配网络以及匹配电阻。 3、CLK 驱动端输出电阻配置为 34/40/48ohm。 4、已发货产品板 CLK 的末端匹配电阻修改阻值为 33ohm；新开发产品在输出源端预留 PN 跨接电容。

表27-3 DDR 控制地址命令信号 CMD/ADDR 信号互连说明

网络名称	重要等级	关键信号设计注意事项
DDR_CKE	A	1、地址/控制/命令/CLK 信号时序要求 SKEW<20ps。 2、地址/控制信号采用可以采用远端 T 型或者 Flyby。拓扑，需要通过仿真来确定相应的相应的匹配网络以及匹配电阻。 3、信号输出阻抗配置：建议为 34/40/48ohm，根据仿真确定。
DDR_CSN	A	
DDR_BG[1:0]	A	
DDR_BA[1:0]	A	
DDR_ADDR[16:0]	A	
DDR_ACT	A	
DDR_ODT	A	
DDR_PAR	A	
DDR_RESETN	A	
DDR_ALERT_AC	A	

表27-4 DDR 校准电阻外围电路

网络名称	重要等级	关键信号设计注意事项
DDR_ZQ	A	板级需要接 240ohm+/-1%的电阻到地，管脚到电阻

版权所有 © 海思技术有限公司

网络名称	重要等级	关键信号设计注意事项
		的走线尽可能短而宽。

表27-5 DDR 信号 Swap 支持

网络名称	重要等级	关键信号设计注意事项
DQ[7:0]	A	8bit 信号任意交换。
DQ[15:8]	A	8bit 信号任意交换。
其他信号线	A	其他信号线不支持交换。

须知

1、这里要求的 PCB 走线等长是指 PCB 走线 + 封装内部走线等长，即单板需要根据芯片封装提供的各管脚封装内部走线长度进行补偿和匹配。

2、手册中要求的 DDR 接口信号走线长度差值是指 PCB 走线长度加上封装走线长度后的差值。

3、具体走线长度差值见表 27-6 表。

Hi3093 芯片 DDR4 接口信号芯片封装内部走线长度（用于单板补偿）如表 27-6 所示。

表27-6 DDR 接口信号芯片封装内部走线长度列表

Net Name	Total Conductor(um)	Pin Delay(ps)
DDR_DM0	7262.932	41.46162
DDR_DM1	6555.969	37.42581
DDR_DQ0	6268.039	35.78211
DDR_DQ1	6159.856	35.16453
DDR_DQ2	6017.988	34.35466
DDR_DQ3	5938.735	33.90223

版权所有 © 海思技术有限公司

Net Name	Total Conductor(um)	Pin Delay(ps)
DDR_DQ4	5577.301	31.83892
DDR_DQ5	5965.457	34.05477
DDR_DQ6	7275.075	41.53094
DDR_DQ7	6428.023	36.69541
DDR_DQ8	5450.791	31.11672
DDR_DQ9	4775.886	27.26392
DDR_DQ10	6086.177	34.74392
DDR_DQ11	6090.445	34.76829
DDR_DQ12	4615.883	26.35051
DDR_DQ13	5309.287	30.30892
DDR_DQ14	5001.318	28.55083
DDR_DQ15	4668.263	26.64953
DDR_DQS0	7941.869	45.33744
DDR_DQS1	5977.638	34.12431
DDR_DQSB0	7924.447	45.23798
DDR_DQSB1	5947.839	33.9542
DDR_ACT	2962.664	16.91285
DDR_ADDR0	5527.034	31.55197
DDR_ADDR1	6618.514	37.78286
DDR_ADDR2	5835.238	33.3114
DDR_ADDR3	6803.154	38.8369
DDR_ADDR4	4477.36	25.55973
DDR_ADDR5	6263.848	35.75819
DDR_ADDR6	7407.876	42.28906
DDR_ADDR7	2241.818	12.79778
DDR_ADDR8	6697.68	38.23479
DDR_ADDR9	7571.188	43.22135
DDR_ADDR10	6946.343	39.65432

版权所有 © 海思技术有限公司

Net Name	Total Conductor(um)	Pin Delay(ps)
DDR_ADDR11	2806.956	16.02396
DDR_ADDR12	7625.73	43.53271
DDR_ADDR13	7536.985	43.0261
DDR_ADDR14	7313.252	41.74888
DDR_ADDR15	8155.878	46.55915
DDR_ADDR16	4175.049	23.83394
DDR_ALERT_AC	6107.771	34.8672
DDR_BA0	7673.554	43.80572
DDR_BA1	8006.71	45.7076
DDR_BG0	3886.923	22.18913
DDR_BG1	6113.359	34.8991
DDR_CK	5769.458	32.93588
DDR_CKB	5736.219	32.74613
DDR_CKE	7244.101	41.35412
DDR_CS	2944.74	16.81052
DDR_ODT	7882.107	44.99628
DDR_PAR	3905.356	22.29436
DDR_RESETN	8354.517	47.69311

27.4 USB 接口

27.4.1 USB 接口布线指导

- USB 板级差分走线需要关注 PN Skew，阻抗连续性，插损，串扰以及 USB 协议规定的无源 SPEC 指标。
- USB 板级差分走线必须满足 USB 协议规定的无源 SPEC 部分。
- USB 板级差分 PN Skew 控制范围为小于 5mil。如果协议对不同 Lane 的 Slew 有限制，请满足相应协议的要求。

版权所有 © 海思技术有限公司

- USB 板级差分走线阻抗控制 90Ω±10%。板级差分走线需要使用地平面做为参考层，同时需要保证参考面完整，不能跨分割。USB 差分走线不能跨 Void 以及 Antipad。USB 差分走线注意 BGA Ball，AC 耦合电容以及连接器的阻抗优化；注意 PCB 通孔 Stub 的优化，需要背钻，保证链路回损最优。
- USB 板级差分走线需要注意控制串扰，串扰的 SPEC 为在 Nyquist 频率处，所以的干扰源能量之和小于 30dB。差分对 TX/RX 最好分层走线，如果不能实现需要关注 TX、RX 之间的 Space 控制，差分对走线之间的 Space 为满足一般的需要控制在 10H（H 为参考叠层介质高度），周围使用地 Shape 进行隔离。差分对过孔需要使用地孔同其他信号或者功率孔进行隔离。
- USB3.0 参考时钟需要使用外部输入时钟。外部时钟输入，支持差分时钟输入或者是单端 CMOS 时钟输入。外部时钟输入芯片内部没有相应的末端匹配电阻，需要根据相应的 SI 仿真确认是否需要在 PCB 上加相应的匹配电阻。参考时钟内部已经集成了电容，板级可以根据需要决定是否需要加相应电容，但需要满足相应时钟的电气要求。外部输入参考时钟是单端 CMOS 输入，那么时钟的输入的一端必须为全摆幅的 CMOS 输入，另一端则必须接到电源或者低。外部输入参考时钟是差分输入，电平可以是 CML 或者 LVDS。单端输入或者差分输入都需要满足时钟电平标准要求。USB2.0 参考时钟来自芯片内部，不涉及外部参考时钟问题。单端时钟输入板级控制阻抗为 50Ω，差分时钟输入板级控制阻抗为 100Ω。
- USB3.0 的外部参考电阻要求为 200ohm(± 1% ±100 ppm/°C)，同时保证其寄生电容小于 10p（该电容包括 Die 电容+PKG 电容+PCB 电容）。
- USB 差分走线 TX 和 RX 采用 AC 耦合方案，耦合电容为 100nF 或者相应协议规定的电容值。
- USB 供电电源相关设计请参考 5 电源输入章节。

部分场景为了满足ESD保护等问题的要求，在电路设计时需要考虑在USB电路上设计保护电路。为了避免保护器件对USB走线信号造成衰减，并能够达到良好的保护效果，建议PCB设计时采用如下原则，如下设计需要保证系统链路满足相应电气指标要求。

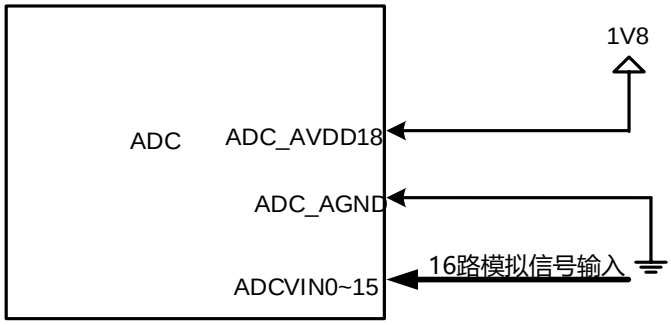
- 保护器件建议紧靠USB端口连接器放置。
- 保护器件建议选用低寄生电容的TVS管保护器件。
- 建议USB2.0高速端口保护器件的寄生电容小于2pF。

27.5 电路设计建议

外接电路需严格按照参考图 27-1 所示。

版权所有 © 海思技术有限公司

图27-1 ADC 接口外接电路参考图



单板 PCB 设计其他细节请参见 27.6.1 ADC 接口布线指导的描述。

27.6 ADC 接口

27.6.1 ADC 接口布线指导

- 在单板布局时，该接口尽量摆放在单板噪声小的区域。
- 在单板布线时，该接口信号布线尽量短。
- 使用 ADC 的模拟地对所有的该模块的模拟信号进行隔离。
- 对于输入信号，尤其需要注意其他信号对它们的噪声干扰，噪声干扰会降低 ADC 的性能，单板布线需要仔细考虑，做好隔离。
- 在单板设计时，请在 ADC 的电压采样管脚对地增加一个滤波电容（10nF）

ADC 模拟电源 ADC_AVDD，需要与其他电源隔离单独提供。到电源管脚的供电路径尽量使用电压岛或电源平面的方式；若采用走线，需要做到尽量短、粗，并且远离其它高速或大电流驱动信号。布线空间允许的话尽量使用地线屏蔽防护，去耦滤波电容靠近管脚摆放。ADC 模拟地 ADC_AGND，需要在 ADC 模拟电源 ADC_AVDD 及相应的模拟地 ADC_AGND 之间加一个 1uF 和一个 10nF 的陶瓷去耦电容,且尽量靠近 ADC_AVDD 和 ADC_AGND 的管脚。注意电容必须放在芯片管脚下方，以达到去耦性能。

版权所有 © 海思技术有限公司

27.7 VGA 接口

27.7.1 VGA 接口布线指导

- 在单板布局时，该接口尽量摆放在单板噪声小的区域。
- 在单板布线时，该接口信号布线尽量短。
- 使用 VGA 的模拟地对所有的该模块的模拟信号进行隔离。
- 对于 IREF 信号，单板设计要尤其注意，需要用 VGA 的模拟地同其他信号做严格隔离，远离干扰信号，同时 IREF 到其外接电阻的走线要小于 5mm。
- VGA 的输出信号采用单端输出，板级走线需要控制阻抗在 75Ω，同时需要在板级做阻抗匹配，在源端和末端分别并一 75Ω 电阻到地。

VGA 模拟电源 VGA_AVDD，需要与其他电源隔离单独提供。到电源管脚的供电路径尽量使用电压岛或电源平面的方式；若采用走线，需要做到尽量短、粗，并且远离其它高速或大电流驱动信号。布线空间允许的话尽量使用地线屏蔽防护，去耦滤波电容靠近管脚摆放。VGA 模拟地 VGA_AGND，需要在 VGA 模拟电源 VGA_AVDD 及相应的模拟地 VGA_AGND 之间加一个 1uF 和一个 100nF 的陶瓷去耦电容，且尽量靠近 VGA_AVDD 和 VGA_AGND 的管脚。注意电容必须放在芯片管脚下方，以达到去耦性能。

27.8 低速数字接口

27.8.1 低速数字接口布线指导

- Hi3093 低速接口驱动可以配置，默认配置可以满足一般应用需要，特殊应用需要进行板级 SI 仿真确定 IO 信号驱动能力配置以及是否需要加串阻。
- Hi3093 低速接口 IO 驱动在满足应用的前提下，建议 IO 驱动配置越小越好，尽量减小 IO 的 SSO。
- 对于 50M 以上的应用，需要进行板级布线 SI 仿真，并注意控制串扰。
- 对于低速的时钟输入以及时钟输出要需要注意走线阻抗连续以及串扰控制。
- 低速 IO 的电源注意去耦设计，相应去耦电源需要放置在芯片正背面，相应的电源管脚下方。

版权所有 © 海思技术有限公司

28 功耗

28.1 芯片功耗

须知

1. 单板需要根据芯片应用场景评估芯片在单板启动和运行的不同时间阶段、芯片极限工艺和极限应用结温下的极限功率，单板为芯片供电的电源电流规格的选型需大于芯片极限功率所对应的最大电源电流值。
2. 芯片功耗数据是样片在典型业务场景的测试数据加上功耗理论仿真的调整结果，海思给出的芯片功耗值不一定与单板的实际应用场景完全对应。在单板实际应用场景与手册给出的功耗场景不一致时请找海思项目组和芯片 AT 测试团队评估和实测该场景的功耗。
3. 单板如使用电源电压的典型值（一般为推荐电源工作电压的中心值）对应的功耗计算电源电流时，建议单板选型的电源模块在根据电源模块手册的单板温度降额的基础上再降额 10%以上，以覆盖电源参数老化后电源电压向上漂移 3%带来的芯片动态功耗会增加 103%*103% -100%=6%的增加场景。

28.1.1 TR4 前评估功耗

28.1.1.1 各种模式下的实测功耗

- 典型场景

  条件：A55 数字电源供电为 0.9V，只运行两个 A55 CORE，USB2 接口仅用于键鼠，剩下的关闭，USB3 接口关闭，DDR 的运行运率为 2133Mbps。功耗如表 28-1 所示。

版权所有 © 海思技术有限公司

表28-1 典型场景下各种电源的实测功耗

参数	符号	电压（V）	功耗（W）
数字电源	VDD	0.9	1.506
A55 数字电源	VDD10	0.9	1.681
SerDes 低压电源 0V9	DVDD09_SERDES	0.9	0.1433
IO 电源	DVDD33	3.3	0.1158
IO 电源	DVDD18	1.8	0.0069
IO 电源	DDR_VDDQ	1.2	0.1026
IO 电源	DVDD_PECI	0.9~1.26	/
efuse 模拟电源	VVQPS_EFUSE	1.8	0.3598
DAC 模拟电源	VGA_AVDD18	1.8	
ADC 模拟电源	ADC_AVDD18	1.8	
USB2 PHY 模拟电源	VDDH18_USB	1.8	
SerDes 模拟电源	VPH_SERDES	1.8	
PLL 及 Tsensor 模拟电源	AVDD18	1.8	
USB2 PHY 模拟电源	AVDD33_USB0~3	3.3	0.02412
总功耗	-	-	3.939

- 待机场景

  条件：关闭一个 PCIE 接口，USB 接口全部关闭，关闭三个网口，关闭 VGA 显示功能，对三个 A55 CORE 进行掉电处理，DDR 运行在 2133Mbps，功耗如表 28-2 所示。

版权所有 © 海思技术有限公司

表28-2 待机场景下各种电源的实测功耗

参数	符号	电压（V）	功耗（W）
数字电源	VDD	0.9	1.332
A55 数字电源	VDD10	0.9	1.1607
SerDes 低压电源 0V9	DVDD09_SERDES	0.9	0.057
IO 电源	DVDD33	3.3	0.0717
IO 电源	DVDD18	1.8	0.00745
IO 电源	DDR_VDDQ	1.2	0.02498
IO 电源	DVDD_PECI	0.9~1.26	/
efuse 模拟电源	VVQPS_EFUSE	1.8	0.2416
DAC 模拟电源	VGA_AVDD18	1.8	
ADC 模拟电源	ADC_AVDD18	1.8	
USB2 PHY 模拟电源	VDDH18_USB	1.8	
SerDes 模拟电源	VPH_SERDES	1.8	
PLL 及 Tsensor 模拟电源	AVDD18	1.8	
USB2 PHY 模拟电源	AVDD33_USB0~3	3.3	0.0038
总功耗	-	-	2.899

- 最大功耗场景

  估算条件：A55 运行在 1.0V 电压下，各模拟 IP 全部处于工作状态。估算功耗如表28-3 所示。

版权所有 © 海思技术有限公司

表28-3 最大功耗场景下各种电源的实测功耗

参数	符号	电压（V）	功耗（W）
数字电源	VDD	0.9	1.891
A55 数字电源	VDD10	1.0	3.051
SerDes 低压电源 0V9	DVDD09_SERDES	0.9	0.1671
IO 电源	DVDD33	3.3	0.1032
IO 电源	DVDD18	1.8	0.00703
IO 电源	DDR_VDDQ	1.2	0.1237
IO 电源	DVDD_PECI	0.9~1.26	/
efuse 模拟电源	VVQPS_EFUSE	1.8	0.399
DAC 模拟电源	VGA_AVDD18	1.8	
ADC 模拟电源	ADC_AVDD18	1.8	
USB2 PHY 模拟电源	VDDH18_USB	1.8	
SerDes 模拟电源	VPH_SERDES	1.8	
PLL 及 Tsensor 模拟电源	AVDD18	1.8	
USB2 PHY 模拟电源	AVDD33_USB0~3	3.3	0.0268
总功耗	-	-	5.768

28.1.2 实测功耗

28.1.2.1 各种模式下的实测功耗

- 典型场景

版权所有 © 海思技术有限公司

条件：A55 数字电源供电为 1.0V，只运行两个 A55 CORE，USB2 接口仅用于键鼠，剩下的关闭，USB3 接口关闭，DDR 的运行运率为 2400Mbps，芯片结温在 105℃左右。功耗如表 28-1 所示。

表28-4 典型场景下各种电源的实测功耗

参数	符号	电压（V）	功耗（W）
数字电源	VDD	0.9	1.259
A55 数字电源	VDD10	1.0	2.924
SerDes 低压电源 0V9	DVDD09_SERDES	0.9	0.141
IO 电源	DVDD33	3.3	0.013
IO 电源	DVDD18	1.8	0.012
IO 电源	DDR_VDDQ	1.2	0.073
IO 电源	DVDD_PECI	0.9~1.26	/
efuse 模拟电源	VVQPS_EFUSE	1.8	0.37
DAC 模拟电源	VGA_AVDD18	1.8	
ADC 模拟电源	ADC_AVDD18	1.8	
USB2 PHY 模拟电源	VDDH18_USB	1.8	
SerDes 模拟电源	VPH_SERDES	1.8	
PLL 及 Tsensor 模拟电源	AVDD18	1.8	
USB2 PHY 模拟电源	AVDD33_USB0~3	3.3	0.024
总功耗	-	-	4.816

- 待机场景

版权所有 © 海思技术有限公司

条件：关闭 PCIE 接口，USB 接口全部关闭，关闭三个网口，关闭 VGA 显示功能，对三个 A55 CORE 进行掉电处理，DDR 运行在 2400Mbps，结温在 105℃左右，功耗如表 28-2 所示。

表28-5 待机场景下各种电源的实测功耗

参数	符号	电压（V）	功耗（W）
数字电源	VDD	0.9	1.233
A55 数字电源	VDD10	0.9	1.31
SerDes 低压电源 0V9	DVDD09_SERDES	0.9	0.07
IO 电源	DVDD33	3.3	0.056
IO 电源	DVDD18	1.8	0.012
IO 电源	DDR_VDDQ	1.2	0.047
IO 电源	DVDD_PECI	0.9~1.26	/
efuse 模拟电源	VVQPS_EFUSE	1.8	0.226
DAC 模拟电源	VGA_AVDD18	1.8	
ADC 模拟电源	ADC_AVDD18	1.8	
USB2 PHY 模拟电源	VDDH18_USB	1.8	
SerDes 模拟电源	VPH_SERDES	1.8	
PLL 及 Tsensor 模拟电源	AVDD18	1.8	
USB2 PHY 模拟电源	AVDD33_USB0~3	3.3	0.001
总功耗	-	-	2.955

- 最大功耗场景

版权所有 © 海思技术有限公司

估算条件：A55 运行在 1.0V 电压下，各模拟 IP 全部处于工作状态。估算功耗如表 28-3 所示。

表28-6 最大功耗场景下各种电源的实测功耗

参数	符号	电压（V）	功耗（W）
数字电源	VDD	0.9	1.467
A55 数字电源	VDD10	1.0	3.719
SerDes 低压电源 0V9	DVDD09_SERDES	0.9	0.156
IO 电源	DVDD33	3.3	0.011
IO 电源	DVDD18	1.8	0.013
IO 电源	DDR_VDDQ	1.2	0.072
IO 电源	DVDD_PECI	0.9~1.26	/
efuse 模拟电源	VVQPS_EFUSE	1.8	0.376
DAC 模拟电源	VGA_AVDD18	1.8	
ADC 模拟电源	ADC_AVDD18	1.8	
USB2 PHY 模拟电源	VDDH18_USB	1.8	
SerDes 模拟电源	VPH_SERDES	1.8	
PLL 及 Tsensor 模拟电源	AVDD18	1.8	
USB2 PHY 模拟电源	AVDD33_USB0~3	3.3	0.024
总功耗	-	-	5.838

版权所有 © 海思技术有限公司

29 芯片功率管理措施

29.1 降功耗措施

BMC 降功耗措施，主要通过降低动态与静态功耗来减少整芯片功耗。

因各章节都有相应的详细操作描述，为不重复，本章节只作描述性的叙述，具体的配置及操作流程见《Hi3093 通用 MPU 芯片 用户指南》各具体章节。

29.1.1 降动态功耗措施

本芯片的动态功耗主要由三部分构成：

- A55 的动态功耗。
- DDR 子系统。
- 高速 SerDes 及 USB PHY 等模拟功耗。

降低动态功耗的措施也主要针对此三部分进行。

- 针对 A55 有如下降动态功耗的措施：降低 A55 的工作电压，A55 支持 0.9V、1.0V 两个电压点，当需要降功耗时，采用 0.9V 工作电压，同等业务下，A55 的动态功耗可获取近 20%的降低；当采用 0.9V 电压点时，A55 的最高工作频率为 800MHz。
- 降低 A55 的工作频率，动态功耗与工作频率成线性关系，降低工作频率可明显的降低 A55 的动态功耗。
- 优化 A55 上动行的程序，减少硬件的翻转。

针对 DDR 子系统有如下降功耗措施：

- 根据业务带宽的需求，选择合适的速率；过高的速率会导致过高的空转而引入动态功耗。
- 优化板级设计，减少 DDR IO 的负载。
- 开启 DDR PHY 的 DBI 功能，减少数据翻转。

针对 SerDes 及 USB PHY 有如下降功耗措施：

版权所有 © 海思技术有限公司

- 对于不用的 SerDes 及 USB PHY 要及时关闭，SerDes 及 USB PHY 在空转时与正常通信时有同样大的功耗。
- 优化板级互连也能适当的降低高速接口的功耗。

对于其它各功能模块，BMC 也都可以单独进行时钟关闭来降低逻辑空转带来的动态功耗，具体关闭时钟的控制，可参考每个模块章节描述。

另外，可通过降低芯片的供电电压来降低功耗，当然，芯片的降压必须在芯片要求的工作电压范围内，确保芯片能正常工作。

本芯片的静态功耗占比很高，因此降低静态功耗能明显的降低本芯片的功耗，可以采取的降静态功耗的措施有：

- 通过改进散热措施和优化芯片工作的环境温度，降低芯片的工作结温可以较好降低芯片的静态功耗。静态功耗随温度上升会急骤上升，因此控制好结温能极大的降低芯片的静态功耗。
- 通过关闭闲置的 A55 核的电源来降低静态功耗。

29.2 注意事项

无。

版权所有 © 海思技术有限公司

30 热设计参考

30.1 工作温度参数

芯片工作温度参数如表 30-1 所示。

须知

芯片结温如高于极限工作结温最大值、或者低于环境温度最小值，芯片都不能正常工作，并可能引起芯片物理损伤。

表30-1 工作温度参数

参数	符号	最小值①	最大值	单位
芯片启动结温	T_{JBOOT}	0	105	℃
长期工作结温	T_{JL}	0	105	℃
极限工作结温	T_{J}	0	125	℃
短期工作结温	T_{JS}	0	125	℃

版权所有 © 海思技术有限公司

须知

- 最小值：当最小值是 0℃时，芯片在 1V 电压下，A55 主频最高 1GHz，DDRC 时钟速率最高可以 600MHz；当最小值是 0℃时，芯片在 0.9V 电压下，A55 主频最高 800MHz，DDRC 时钟速率最高可以 600MHz。
- 环境温度：环境温度是指芯片处的环境温度，不一定等价于单板或者系统的环境温度。环境温度参数仅用于单板热设计粗略评估，该参数不能直接用于芯片在系统和单板是否可靠工作的判据，芯片正常工作温度需以芯片结温是否超标做为判据。单板和系统的热设计需确保芯片产生的热量能通过芯片封装、单板（系统）散热路径被有效发散到系统的工作环境中去，确保芯片的结温不超出芯片长期工作结温范围。
- 芯片启动结温：有芯片为了实现比长期动作结温最小值更低的低温启动，可以由软件配置芯片局部电路工作在大功耗模式将芯片结温烘烤到长期工作结温范围内以实现单板的低温启动。如芯片在启动结温与长期工作结温之间功能不能够保证，需在此处明确说明此信息以免在应用时引起争议。如芯片不支持该功能，此参数删除。
- 长期工作结温：正常工作条件下芯片的结温应该不超过 105℃，且芯片结温应该不低于 0℃（长期工作结温参数的最小值），否则会导致芯片寿命会缩减。
- 极限工作结温：芯片的极限工作结温的最大值为 125℃，任何条件下芯片的结温都不能大于该数值，否则芯片不能正常工作，并可能引起芯片物理损伤。
- 短期工作结温：芯片可短时间工作在 105℃（长期工作结温参数的最大值）和 125℃（极限工作结温最大值）之间，但时长不能超过寿命的 5%，否则可能缩短芯片使用寿命。

30.2 封装热阻

Hi3093 的封装热阻如表 30-2 所示。

须知

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

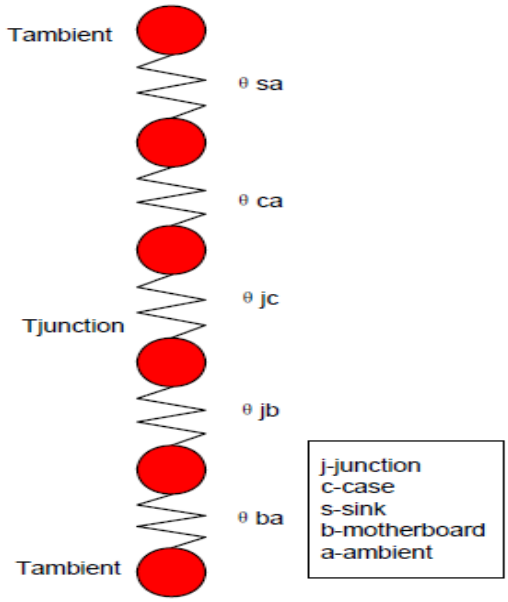
版权所有 © 海思技术有限公司

表30-2 Hi3093 芯片的封装热阻

参数	符号	数值	单位
Junction-to-case thermal resistance	θ_{JC}	0.7	℃/W
Junction-to-board thermal resistance	θ_{JB}	4.0	℃/W

芯片、母板、散热器、空气之间的热阻介绍如图 30-1 所示。

图30-1 热阻关系图



30.3 导热介质材料推荐

导热介质材料推荐表如表 30-3 所示。

版权所有 © 海思技术有限公司

表30-3 导热介质材料推荐表

散热器固定方式	型号	导热系数(w/m·k)	应用环境温度（℃）	胶体类型	绝缘强度(V/mil)	阻燃性	承重能力（g）
需机械固定	TC5021	3.3	0～+105	导热硅脂	TBD	UL9V0	-

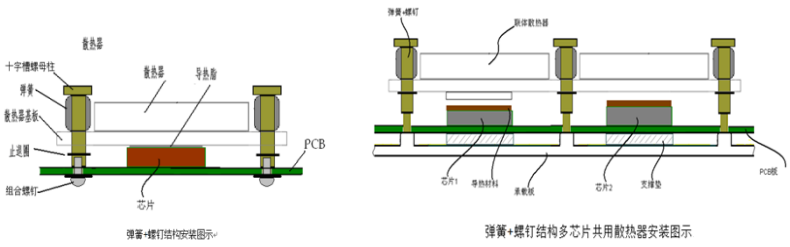
30.4 芯片对散热器设计的 Guideline

芯片外置散热器安装方式要求：

为增强 FCBGA 芯片散热能力，FCBGA 芯片集成散热盖（Lid）外部表面允许额外加装散热器或其他近似结构件，但所加装的外部散热器或其他近似结构件应通过机械固定方式安装到 PCB 板或其他固定载体上，同时确保芯片 Lid 所受外力均衡。禁止使用非机械固定方式将外部散热器或其他近似结构件附着在芯片 Lid 表面，非机械固定方式使外部散热器或其他近似结构件所受外力全部传递至芯片 Lid 侧，Lid 发生脱落的风险较大。

推荐使用的机械固定安装方式：弹簧+螺钉结构安装、专用金属扣具安装、卡座安装等，如图 30-2 所示。

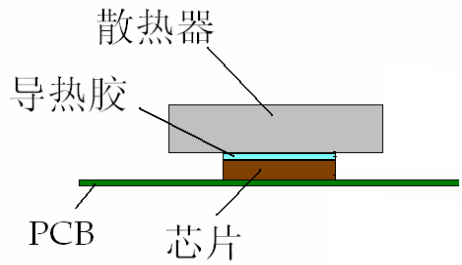
图30-2 推荐的安装方式



禁止使用的非机械固定安装方式：胶粘接安装等。特殊情况下，若必须采用非机械固定方式进行散热器或其他近似结构件安装，产品设计人员需要根据产品的实际使用场景进行芯片 lid 脱落风险评估以及进行相应的测试验证保证不会发生 lid 脱落的风险。在产品使用中，需要有完善的使用规范来避免散热器直接受到外力的作用而发生 lid 脱落。

版权所有 © 海思技术有限公司

图30-3 禁止的安装方式



版权所有 © 海思技术有限公司

31 芯片焊接工艺

31.1.1 焊球材料

Hi3093 焊球材料如下：

BGA 焊球材料：96.45%Sn /3%Ag/0.5%Cu/0.05%Ni　for lead-free。

- 焊球直径大小：0.4mm。

31.1.2 元器件包装及存储

元器件包装及存储如下：

- 表贴元器件包装类型：盘式(Tray)。
- 可存储期限（85%相对湿度以下）：12moths@28℃（storage duration（85% relative humidity level or less））。
- 包装材料：防静电材料（packing material: ESD material）。

31.1.3 组装工艺

可应用的焊接方法：reflow。

reflow 的焊接参数如下：

- 3 reflows at 245℃（lead reduced）。
- 1 reflow at 260℃ for rework（lead reduced）。
- 3 reflows at 225℃（lead）。

Bakeout 参数：125℃@40hours。

版权所有 © 海思技术有限公司

31.1.3.1 SMT 焊接

可应用的焊接方法：reflow。

Hi3093 的焊接温度如图 31-1 所示。

图31-1 焊接温度曲线图

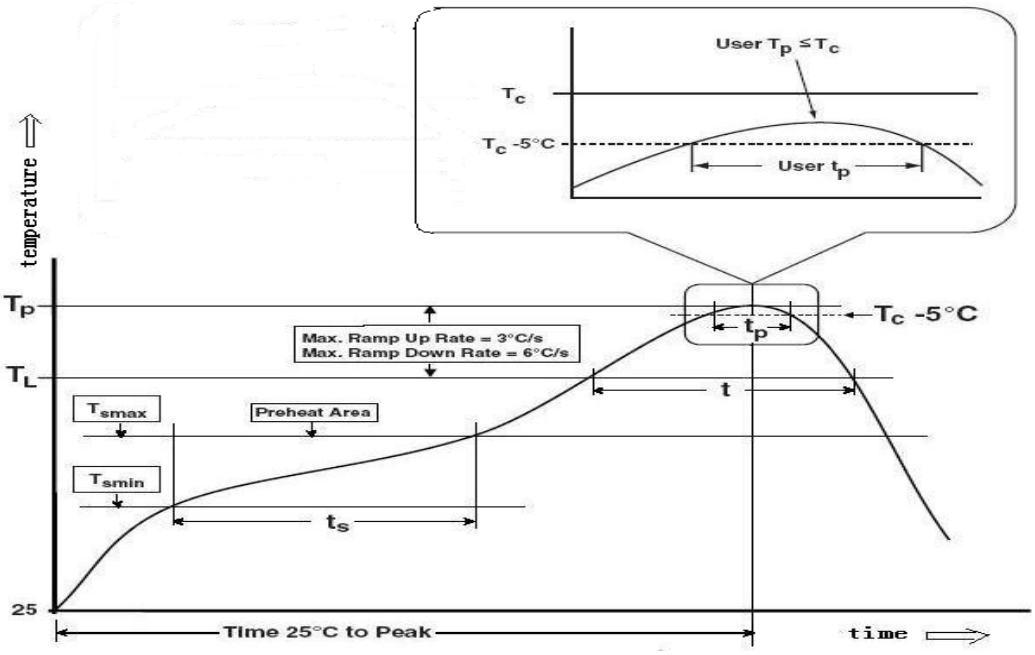


表31-1 温度曲线图中各个参数说明

曲线变量	参数设置
平均温升速率（TL～TP）	<=15℃/sec
预热设置 最小温度设置（T_{Smin}） 最高温度设置（T_{Smax}） 时间设置（最小～最大，t_s）	150℃ 200℃ 60sec～180sec
高温设置 温度设置（T_L） 时间设置（t_L）	217℃ 60sec～150sec
最高温度设置（Peak Temperature，TP）	245±5℃

版权所有 © 海思技术有限公司

曲线变量	参数设置
维持在最高温度±5℃范围内的时间设置（tP）	<=30sec
降温速率	<=3℃/sec
从 25℃至最高温的温度爬升时间设置	<=480sec

说明

- 表 31-1 参数中的温度均以封装体表面测量温度为参考。
- 实际的组装参数需要单板上其他器件和焊料使用规范共同确定。

表31-2 Pb-free process-Classification Temperatures（Tc）

Package thickness	Volume mm^3<350	Volume mm^3 350-2000	Volume mm^3>2000
<1.6mm	260℃	260℃	260℃
（1.6～2.5）mm	260℃	250℃	245℃
>2.5mm	250℃	245℃	245℃

版权所有 © 海思技术有限公司